

(51)Int.Cl. <sup>7</sup>	識別記号	F I	テマコード* (参考)
H 0 1 S 5/323	6 1 0	H 0 1 S 5/323 6 1 0	5 F 0 0 3
H 0 1 L 21/205		H 0 1 L 21/205	5 F 0 0 4
21/3065		21/308 C	5 F 0 4 1
21/308		33/00 C	5 F 0 4 3
21/331		29/72 H	5 F 0 4 5
審査請求 未請求 請求項の数101 O L (全 35 頁) 最終頁に続く			

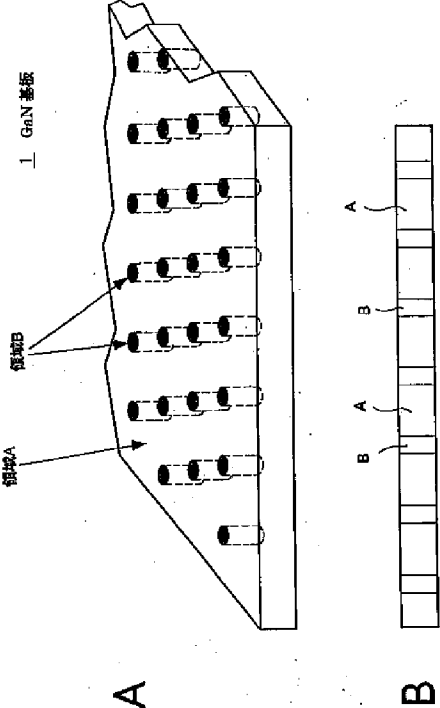
(21)出願番号	特願2001－315704(P2001－315704)	(71)出願人	000002130 住友電気工業株式会社 大阪府大阪市中央区北浜四丁目 5 番33号
(22)出願日	平成13年10月12日 (2001. 10. 12)	(71)出願人	000002185 ソニー株式会社 東京都品川区北品川 6 丁目 7 番35号
		(72)発明者	築嶋 克典 東京都品川区北品川 6 丁目 7 番35号 ソニ ー株式会社内
		(74)代理人	100082762 弁理士 杉浦 正知
		最終頁に続く	

(54) 【発明の名称】 半導体発光素子の製造方法、半導体素子の製造方法、素子の製造方法、窒化物系ⅢⅠⅠ－Ⅴ族化合物半導体層の成長方法、半導体層の成長方法および層の成長方法

(57) 【要約】

【課題】 発光特性などの特性が良好で信頼性も高く長寿命の半導体発光素子や特性が良好で信頼性も高く長寿命の半導体素子を実現する。

【解決手段】 第1の平均転位密度を有する結晶からなる第1の領域A中に第1の平均転位密度より高い第2の平均転位密度を有する複数の第2の領域Bが規則的に配列している窒化物系ⅢⅠⅠ－Ⅴ族化合物半導体基板1の主面上に発光素子構造あるいは素子構造を形成する窒化物系ⅢⅠⅠ－Ⅴ族化合物半導体層を成長させることにより半導体発光素子あるいは半導体素子を製造する際に、窒化物系ⅢⅠⅠ－Ⅴ族化合物半導体層が窒化物系ⅢⅠⅠ－Ⅴ族化合物半導体基板1の主面上で第2の領域Bと直接接触しないようにする。



## 【特許請求の範囲】

【請求項1】 第1の平均転位密度を有する結晶からなる第1の領域中に上記第1の平均転位密度より高い第2の平均転位密度を有する複数の第2の領域が規則的に配列している窒化物系ⅡⅡⅠ-V族化合物半導体基板の主面上に発光素子構造を形成する窒化物系ⅡⅡⅠ-V族化合物半導体層を成長させることにより半導体発光素子を製造するようにした半導体発光素子の製造方法であつて、

上記窒化物系ⅡⅡⅠ-V族化合物半導体層が上記窒化物系ⅡⅡⅠ-V族化合物半導体基板の主面上で上記第2の領域と直接接触しないようにしたことを特徴とする半導体発光素子の製造方法。

【請求項2】 上記窒化物系ⅡⅡⅠ-V族化合物半導体層を成長させる前に上記第2の領域を上記窒化物系ⅡⅡⅠ-V族化合物半導体基板の主面から少なくとも一部除去しておくようにしたことを特徴とする請求項1記載の半導体発光素子の製造方法。

【請求項3】 上記窒化物系ⅡⅡⅠ-V族化合物半導体層を成長させる前に上記第2の領域を上記窒化物系ⅡⅡⅠ-V族化合物半導体基板の主面から所定の深さまで除去しておくようにしたことを特徴とする請求項2記載の半導体発光素子の製造方法。

【請求項4】 上記所定の深さは1 $\mu$ m以上であることを特徴とする請求項3記載の半導体発光素子の製造方法。

【請求項5】 上記所定の深さは10 $\mu$ m以上であることを特徴とする請求項3記載の半導体発光素子の製造方法。

【請求項6】 上記窒化物系ⅡⅡⅠ-V族化合物半導体層を成長させる前に上記第2の領域を全部除去しておくようにしたことを特徴とする請求項2記載の半導体発光素子の製造方法。

【請求項7】 エッチングにより上記第2の領域を除去するようにしたことを特徴とする請求項2記載の半導体発光素子の製造方法。

【請求項8】 上記エッチングはウエットエッチングであることを特徴とする請求項7記載の半導体発光素子の製造方法。

【請求項9】 上記エッチングはドライエッチングであることを特徴とする請求項7記載の半導体発光素子の製造方法。

【請求項10】 上記エッチングは熱化学エッチングであることを特徴とする請求項7記載の半導体発光素子の製造方法。

【請求項11】 上記窒化物系ⅡⅡⅠ-V族化合物半導体層を成長させる前に上記第2の領域の表面を被覆層で覆っておくようにしたことを特徴とする請求項1記載の半導体発光素子の製造方法。

【請求項12】 上記第2の領域が上記窒化物系ⅡⅡⅠ

Ⅰ-V族化合物半導体基板の主面から所定の深さまで除去されていることを特徴とする請求項1記載の半導体発光素子の製造方法。

【請求項13】 上記第2の領域が除去された部分が上記被覆層により埋められていることを特徴とする請求項12記載の半導体発光素子の製造方法。

【請求項14】 上記被覆層の表面は上記窒化物系ⅡⅡⅠ-V族化合物半導体基板の主面より高い位置にあることを特徴とする請求項11記載の半導体発光素子の製造方法。

【請求項15】 上記被覆層の表面は上記窒化物系ⅡⅡⅠ-V族化合物半導体基板の主面と一致していることを特徴とする請求項11記載の半導体発光素子の製造方法。

【請求項16】 上記複数の第2の領域は周期的に配列していることを特徴とする請求項1記載の半導体発光素子の製造方法。

【請求項17】 上記複数の第2の領域は六方格子状に周期的に配列していることを特徴とする請求項1記載の半導体発光素子の製造方法。

【請求項18】 上記複数の第2の領域は長方形格子状に周期的に配列していることを特徴とする請求項1記載の半導体発光素子の製造方法。

【請求項19】 上記複数の第2の領域は正方格子状に周期的に配列していることを特徴とする請求項1記載の半導体発光素子の製造方法。

【請求項20】 互いに隣接する二つの上記第2の領域の間隔は20 $\mu$ m以上であることを特徴とする請求項1記載の半導体発光素子の製造方法。

【請求項21】 互いに隣接する二つの上記第2の領域の間隔は50 $\mu$ m以上であることを特徴とする請求項1記載の半導体発光素子の製造方法。

【請求項22】 互いに隣接する二つの上記第2の領域の間隔は100 $\mu$ m以上であることを特徴とする請求項1記載の半導体発光素子の製造方法。

【請求項23】 上記第2の領域の配列周期は20 $\mu$ m以上であることを特徴とする請求項16記載の半導体発光素子の製造方法。

【請求項24】 上記第2の領域の配列周期は50 $\mu$ m以上であることを特徴とする請求項16記載の半導体発光素子の製造方法。

【請求項25】 上記第2の領域の配列周期は100 $\mu$ m以上であることを特徴とする請求項16記載の半導体発光素子の製造方法。

【請求項26】 上記第2の領域は不定多角柱状の形状を有することを特徴とする請求項1記載の半導体発光素子の製造方法。

【請求項27】 上記第1の領域と上記第2の領域との間に上記第1の平均転位密度より高く、かつ上記第2の平均転位密度より低い第3の平均転位密度を有する第3

の領域が設けられていることを特徴とする請求項1記載の半導体発光素子の製造方法。

【請求項28】 上記窒化物系ⅠⅠⅠ-V族化合物半導体層が上記窒化物系ⅠⅠⅠ-V族化合物半導体基板の主面上で上記第2の領域および上記第3の領域と直接接触しないようにしたことを特徴とする請求項27記載の半導体発光素子の製造方法。

【請求項29】 上記窒化物系ⅠⅠⅠ-V族化合物半導体層を成長させる前に上記第2の領域および上記第3の領域を上記窒化物系ⅠⅠⅠ-V族化合物半導体基板の主面から少なくとも一部除去しておくようにしたことを特徴とする請求項28記載の半導体発光素子の製造方法。

【請求項30】 上記第2の領域の直径は10μm以上100μm以下であることを特徴とする請求項1記載の半導体発光素子の製造方法。

【請求項31】 上記第2の領域の直径は20μm以上50μm以下であることを特徴とする請求項1記載の半導体発光素子の製造方法。

【請求項32】 上記第3の領域の直径は上記第2の領域の直径より20μm以上200μm以下大きいことを特徴とする請求項27記載の半導体発光素子の製造方法。

【請求項33】 上記第3の領域の直径は上記第2の領域の直径より40μm以上160μm以下大きいことを特徴とする請求項27記載の半導体発光素子の製造方法。

【請求項34】 上記第3の領域の直径は上記第2の領域の直径より60μm以上140μm以下大きいことを特徴とする請求項27記載の半導体発光素子の製造方法。

【請求項35】 上記第2の領域の平均転位密度は上記第1の領域の平均転位密度の5倍以上であることを特徴とする請求項1記載の半導体発光素子の製造方法。

【請求項36】 上記第2の領域の平均転位密度は $1 \times 10^8 \text{ cm}^{-2}$ 以上であることを特徴とする請求項1記載の半導体発光素子の製造方法。

【請求項37】 上記第1の領域の平均転位密度は $2 \times 10^6 \text{ cm}^{-2}$ 以下、上記第2の領域の平均転位密度は $1 \times 10^8 \text{ cm}^{-2}$ 以上であることを特徴とする請求項1記載の半導体発光素子の製造方法。

【請求項38】 上記第1の領域の平均転位密度は $2 \times 10^6 \text{ cm}^{-2}$ 以下、上記第2の領域の平均転位密度は $1 \times 10^8 \text{ cm}^{-2}$ 以上、上記第3の領域の平均転位密度は $1 \times 10^8 \text{ cm}^{-2}$ より小さく、 $2 \times 10^6 \text{ cm}^{-2}$ より大きいことを特徴とする請求項27記載の半導体発光素子の製造方法。

【請求項39】 上記窒化物系ⅠⅠⅠ-V族化合物半導体基板は $\text{Al}_x \text{B}_y \text{Ga}_{1-x-y-z} \text{In}_z \text{As}_u \text{N}_{1-u-v} \text{P}_v$ （ただし、 $0 \leq x \leq 1$ 、 $0 \leq y \leq 1$ 、 $0 \leq z \leq 1$ 、 $0 \leq u \leq 1$ 、 $0 \leq v \leq 1$ 、 $0 \leq x + y + z < 1$ 、 $0 \leq u$

$+v < 1$ ) からなることを特徴とする請求項1記載の半導体発光素子の製造方法。

【請求項40】 上記窒化物系ⅠⅠⅠ-V族化合物半導体基板は $\text{Al}_x \text{B}_y \text{Ga}_{1-x-y-z} \text{In}_z \text{N}$ （ただし、 $0 \leq x \leq 1$ 、 $0 \leq y \leq 1$ 、 $0 \leq z \leq 1$ 、 $0 \leq x + y + z < 1$ ) からなることを特徴とする請求項1記載の半導体発光素子の製造方法。

【請求項41】 上記窒化物系ⅠⅠⅠ-V族化合物半導体基板は $\text{Al}_x \text{Ga}_{1-x-z} \text{In}_z \text{N}$ （ただし、 $0 \leq x \leq 1$ 、 $0 \leq z \leq 1$ ) からなることを特徴とする請求項1記載の半導体発光素子の製造方法。

【請求項42】 上記窒化物系ⅠⅠⅠ-V族化合物半導体基板はGaNからなることを特徴とする請求項1記載の半導体発光素子の製造方法。

【請求項43】 上記半導体発光素子は半導体レーザであることを特徴とする請求項1記載の半導体発光素子の製造方法。

【請求項44】 上記半導体発光素子は発光ダイオードであることを特徴とする請求項1記載の半導体発光素子の製造方法。

【請求項45】 第1の平均欠陥密度を有する結晶からなる第1の領域中に上記第1の平均欠陥密度より高い第2の平均欠陥密度を有する複数の第2の領域が規則的に配列している窒化物系ⅠⅠⅠ-V族化合物半導体基板の主面上に発光素子構造を形成する窒化物系ⅠⅠⅠ-V族化合物半導体層を成長させることにより半導体発光素子を製造するようにした半導体発光素子の製造方法であって、

上記窒化物系ⅠⅠⅠ-V族化合物半導体層が上記窒化物系ⅠⅠⅠ-V族化合物半導体基板の主面上で上記第2の領域と直接接触しないようにしたことを特徴とする半導体発光素子の製造方法。

【請求項46】 結晶からなる第1の領域中にこの第1の領域より結晶性が悪い複数の第2の領域が規則的に配列している窒化物系ⅠⅠⅠ-V族化合物半導体基板の主面上に発光素子構造を形成する窒化物系ⅠⅠⅠ-V族化合物半導体層を成長させることにより半導体発光素子を製造するようにした半導体発光素子の製造方法であって、

上記窒化物系ⅠⅠⅠ-V族化合物半導体層が上記窒化物系ⅠⅠⅠ-V族化合物半導体基板の主面上で上記第2の領域と直接接触しないようにしたことを特徴とする半導体発光素子の製造方法。

【請求項47】 上記第1の領域は単結晶であり、上記第2の領域は単結晶、多結晶もしくは非晶質またはこれらの二以上が混在したものであることを特徴とする請求項46記載の半導体発光素子の製造方法。

【請求項48】 第1の平均転位密度を有する結晶からなる第1の領域中に上記第1の平均転位密度より高い第2の平均転位密度を有する複数の第2の領域が規則的に

配列している窒化物系ⅠⅠⅠ－Ⅴ族化合物半導体基板の主面上に素子構造を形成する窒化物系ⅠⅠⅠ－Ⅴ族化合物半導体層を成長させることにより半導体素子を製造するようにした半導体素子の製造方法であって、  
上記窒化物系ⅠⅠⅠ－Ⅴ族化合物半導体層が上記窒化物系ⅠⅠⅠ－Ⅴ族化合物半導体基板の主面上で上記第2の領域と直接接触しないようにしたことを特徴とする半導体素子の製造方法。

【請求項49】 上記半導体素子は発光素子であることを特徴とする請求項48記載の半導体素子の製造方法。

【請求項50】 上記半導体素子は受光素子であることを特徴とする請求項48記載の半導体素子の製造方法。

【請求項51】 上記半導体素子は電子走行素子であることを特徴とする請求項48記載の半導体素子の製造方法。

【請求項52】 第1の平均欠陥密度を有する結晶からなる第1の領域中に上記第1の平均欠陥密度より高い第2の平均欠陥密度を有する複数の第2の領域が規則的に配列している窒化物系ⅠⅠⅠ－Ⅴ族化合物半導体基板の主面上に素子構造を形成する窒化物系ⅠⅠⅠ－Ⅴ族化合物半導体層を成長させることにより半導体素子を製造するようにした半導体素子の製造方法であって、  
上記窒化物系ⅠⅠⅠ－Ⅴ族化合物半導体層が上記窒化物系ⅠⅠⅠ－Ⅴ族化合物半導体基板の主面上で上記第2の領域と直接接触しないようにしたことを特徴とする半導体素子の製造方法。

【請求項53】 結晶からなる第1の領域中にこの第1の領域より結晶性が悪い複数の第2の領域が規則的に配列している窒化物系ⅠⅠⅠ－Ⅴ族化合物半導体基板の主面上に素子構造を形成する窒化物系ⅠⅠⅠ－Ⅴ族化合物半導体層を成長させることにより半導体素子を製造するようにした半導体素子の製造方法であって、  
上記窒化物系ⅠⅠⅠ－Ⅴ族化合物半導体層が上記窒化物系ⅠⅠⅠ－Ⅴ族化合物半導体基板の主面上で上記第2の領域と直接接触しないようにしたことを特徴とする半導体素子の製造方法。

【請求項54】 第1の平均転位密度を有する結晶からなる第1の領域中に上記第1の平均転位密度より高い第2の平均転位密度を有する複数の第2の領域が規則的に配列している半導体基板の主面上に発光素子構造を形成する半導体層を成長させることにより半導体発光素子を製造するようにした半導体発光素子の製造方法であって、  
上記半導体層が上記半導体基板の主面上で上記第2の領域と直接接触しないようにしたことを特徴とする半導体発光素子の製造方法。

【請求項55】 第1の平均欠陥密度を有する結晶からなる第1の領域中に上記第1の平均欠陥密度より高い第2の平均欠陥密度を有する複数の第2の領域が規則的に配列している半導体基板の主面上に発光素子構造を形成

する半導体層を成長させることにより半導体発光素子を製造するようにした半導体発光素子の製造方法であって、

上記半導体層が上記半導体基板の主面上で上記第2の領域と直接接触しないようにしたことを特徴とする半導体発光素子の製造方法。

【請求項56】 結晶からなる第1の領域中にこの第1の領域より結晶性が悪い複数の第2の領域が規則的に配列している半導体基板の主面上に発光素子構造を形成する半導体層を成長させることにより半導体発光素子を製造するようにした半導体発光素子の製造方法であって、  
上記半導体層が上記半導体基板の主面上で上記第2の領域と直接接触しないようにしたことを特徴とする半導体発光素子の製造方法。

【請求項57】 第1の平均転位密度を有する結晶からなる第1の領域中に上記第1の平均転位密度より高い第2の平均転位密度を有する複数の第2の領域が規則的に配列している半導体基板の主面上に素子構造を形成する半導体層を成長させることにより半導体素子を製造するようにした半導体素子の製造方法であって、  
上記半導体層が上記半導体基板の主面上で上記第2の領域と直接接触しないようにしたことを特徴とする半導体素子の製造方法。

【請求項58】 第1の平均欠陥密度を有する結晶からなる第1の領域中に上記第1の平均欠陥密度より高い第2の平均欠陥密度を有する複数の第2の領域が規則的に配列している半導体基板の主面上に素子構造を形成する半導体層を成長させることにより半導体素子を製造するようにした半導体素子の製造方法であって、  
上記半導体層が上記半導体基板の主面上で上記第2の領域と直接接触しないようにしたことを特徴とする半導体素子の製造方法。

【請求項59】 結晶からなる第1の領域中にこの第1の領域より結晶性が悪い複数の第2の領域が規則的に配列している半導体基板の主面上に素子構造を形成する半導体層を成長させることにより半導体素子を製造するようにした半導体素子の製造方法であって、  
上記半導体層が上記半導体基板の主面上で上記第2の領域と直接接触しないようにしたことを特徴とする半導体素子の製造方法。

【請求項60】 第1の平均転位密度を有する結晶からなる第1の領域中に上記第1の平均転位密度より高い第2の平均転位密度を有する複数の第2の領域が規則的に配列している基板の主面上に素子構造を形成する層を成長させることにより素子を製造するようにした素子の製造方法であって、  
上記層が上記基板の主面上で上記第2の領域と直接接触しないようにしたことを特徴とする素子の製造方法。

【請求項61】 第1の平均欠陥密度を有する結晶からなる第1の領域中に上記第1の平均欠陥密度より高い第

2の平均欠陥密度を有する複数の第2の領域が規則的に配列している基板の主面上に素子構造を形成する層を成長させることにより素子を製造するようにした素子の製造方法であって、

上記層が上記基板の主面上で上記第2の領域と直接接しないようにしたことを特徴とする素子の製造方法。

【請求項62】 結晶からなる第1の領域中にこの第1の領域より結晶性が悪い複数の第2の領域が規則的に配列している基板の主面上に素子構造を形成する層を成長させることにより素子を製造するようにした素子の製造方法であって、

上記層が上記基板の主面上で上記第2の領域と直接接しないようにしたことを特徴とする素子の製造方法。

【請求項63】 第1の平均転位密度を有する結晶からなる第1の領域中に上記第1の平均転位密度より高い第2の平均転位密度を有する複数の第2の領域が第1の方向に第1の間隔で規則的に配列し、上記第1の方向と直交する第2の方向に上記第1の間隔より小さい第2の間隔で規則的に配列している窒化物系ⅠⅠⅠ-V族化合物半導体基板の主面上に発光素子構造を形成する窒化物系ⅠⅠⅠ-V族化合物半導体層を成長させることにより半導体発光素子を製造するようにした半導体発光素子の製造方法であって、

上記窒化物系ⅠⅠⅠ-V族化合物半導体層が上記窒化物系ⅠⅠⅠ-V族化合物半導体基板の主面上で上記第2の領域と直接接しないようにしたことを特徴とする半導体発光素子の製造方法。

【請求項64】 第1の平均欠陥密度を有する結晶からなる第1の領域中に上記第1の平均欠陥密度より高い第2の平均欠陥密度を有する複数の第2の領域が第1の方向に第1の間隔で規則的に配列し、上記第1の方向と直交する第2の方向に上記第1の間隔より小さい第2の間隔で規則的に配列している窒化物系ⅠⅠⅠ-V族化合物半導体基板の主面上に発光素子構造を形成する窒化物系ⅠⅠⅠ-V族化合物半導体層を成長させることにより半導体発光素子を製造するようにした半導体発光素子の製造方法であって、

上記窒化物系ⅠⅠⅠ-V族化合物半導体層が上記窒化物系ⅠⅠⅠ-V族化合物半導体基板の主面上で上記第2の領域と直接接しないようにしたことを特徴とする半導体発光素子の製造方法。

【請求項65】 結晶からなる第1の領域中にこの第1の領域より結晶性が悪い複数の第2の領域が第1の方向に第1の間隔で規則的に配列し、上記第1の方向と直交する第2の方向に上記第1の間隔より小さい第2の間隔で規則的に配列している窒化物系ⅠⅠⅠ-V族化合物半導体基板の主面上に発光素子構造を形成する窒化物系ⅠⅠⅠ-V族化合物半導体層を成長させることにより半導体発光素子を製造するようにした半導体発光素子の製造方法であって、

上記窒化物系ⅠⅠⅠ-V族化合物半導体層が上記窒化物系ⅠⅠⅠ-V族化合物半導体基板の主面上で上記第2の領域と直接接しないようにしたことを特徴とする半導体発光素子の製造方法。

【請求項66】 第1の平均転位密度を有する結晶からなる第1の領域中に上記第1の平均転位密度より高い第2の平均転位密度を有する直線状に延在する複数の第2の領域が互いに平行に規則的に配列している窒化物系ⅠⅠⅠ-V族化合物半導体基板の主面上に発光素子構造を形成する窒化物系ⅠⅠⅠ-V族化合物半導体層を成長させることにより半導体発光素子を製造するようにした半導体発光素子の製造方法であって、

上記窒化物系ⅠⅠⅠ-V族化合物半導体層が上記窒化物系ⅠⅠⅠ-V族化合物半導体基板の主面上で上記第2の領域と直接接しないようにしたことを特徴とする半導体発光素子の製造方法。

【請求項67】 第1の平均欠陥密度を有する結晶からなる第1の領域中に上記第1の平均欠陥密度より高い第2の平均欠陥密度を有する直線状に延在する複数の第2の領域が互いに平行に規則的に配列している窒化物系ⅠⅠⅠ-V族化合物半導体基板の主面上に発光素子構造を形成する窒化物系ⅠⅠⅠ-V族化合物半導体層を成長させることにより半導体発光素子を製造するようにした半導体発光素子の製造方法であって、

上記窒化物系ⅠⅠⅠ-V族化合物半導体層が上記窒化物系ⅠⅠⅠ-V族化合物半導体基板の主面上で上記第2の領域と直接接しないようにしたことを特徴とする半導体発光素子の製造方法。

【請求項68】 結晶からなる第1の領域中にこの第1の領域より結晶性が悪い直線状に延在する複数の第2の領域が互いに平行に規則的に配列している窒化物系ⅠⅠⅠ-V族化合物半導体基板の主面上に発光素子構造を形成する窒化物系ⅠⅠⅠ-V族化合物半導体層を成長させることにより半導体発光素子を製造するようにした半導体発光素子の製造方法であって、

上記窒化物系ⅠⅠⅠ-V族化合物半導体層が上記窒化物系ⅠⅠⅠ-V族化合物半導体基板の主面上で上記第2の領域と直接接しないようにしたことを特徴とする半導体発光素子の製造方法。

【請求項69】 第1の平均転位密度を有する結晶からなる第1の領域中に上記第1の平均転位密度より高い第2の平均転位密度を有する複数の第2の領域が第1の方向に第1の間隔で規則的に配列し、上記第1の方向と直交する第2の方向に上記第1の間隔より小さい第2の間隔で規則的に配列している窒化物系ⅠⅠⅠ-V族化合物半導体基板の主面上に素子構造を形成する窒化物系ⅠⅠⅠ-V族化合物半導体層を成長させることにより半導体素子を製造するようにした半導体素子の製造方法であって、

上記窒化物系ⅠⅠⅠ-V族化合物半導体層が上記窒化物

系ⅠⅠⅠ－Ⅴ族化合物半導体基板の主面上で上記第2の領域と直接接触しないようにしたことを特徴とする半導体素子の製造方法。

【請求項70】 第1の平均欠陥密度を有する結晶からなる第1の領域中に上記第1の平均欠陥密度より高い第2の平均欠陥密度を有する複数の第2の領域が第1の方向に第1の間隔で規則的に配列し、上記第1の方向と直交する第2の方向に上記第1の間隔より小さい第2の間隔で規則的に配列している窒化物系ⅠⅠⅠ－Ⅴ族化合物半導体基板の主面上に素子構造を形成する窒化物系ⅠⅠⅠ－Ⅴ族化合物半導体層を成長させることにより半導体素子を製造するようにした半導体素子の製造方法であって、

上記窒化物系ⅠⅠⅠ－Ⅴ族化合物半導体層が上記窒化物系ⅠⅠⅠ－Ⅴ族化合物半導体基板の主面上で上記第2の領域と直接接触しないようにしたことを特徴とする半導体素子の製造方法。

【請求項71】 結晶からなる第1の領域中にこの第1の領域より結晶性が悪い複数の第2の領域が第1の方向に第1の間隔で規則的に配列し、上記第1の方向と直交する第2の方向に上記第1の間隔より小さい第2の間隔で規則的に配列している窒化物系ⅠⅠⅠ－Ⅴ族化合物半導体基板の主面上に素子構造を形成する窒化物系ⅠⅠⅠ－Ⅴ族化合物半導体層を成長させることにより半導体素子を製造するようにした半導体素子の製造方法であって、

上記窒化物系ⅠⅠⅠ－Ⅴ族化合物半導体層が上記窒化物系ⅠⅠⅠ－Ⅴ族化合物半導体基板の主面上で上記第2の領域と直接接触しないようにしたことを特徴とする半導体素子の製造方法。

【請求項72】 第1の平均転位密度を有する結晶からなる第1の領域中に上記第1の平均転位密度より高い第2の平均転位密度を有する直線状に延在する複数の第2の領域が互いに平行に規則的に配列している窒化物系ⅠⅠⅠ－Ⅴ族化合物半導体基板の主面上に素子構造を形成する窒化物系ⅠⅠⅠ－Ⅴ族化合物半導体層を成長させることにより半導体素子を製造するようにした半導体素子の製造方法であって、

上記窒化物系ⅠⅠⅠ－Ⅴ族化合物半導体層が上記窒化物系ⅠⅠⅠ－Ⅴ族化合物半導体基板の主面上で上記第2の領域と直接接触しないようにしたことを特徴とする半導体素子の製造方法。

【請求項73】 第1の平均欠陥密度を有する結晶からなる第1の領域中に上記第1の平均欠陥密度より高い第2の平均欠陥密度を有する直線状に延在する複数の第2の領域が互いに平行に規則的に配列している窒化物系ⅠⅠⅠ－Ⅴ族化合物半導体基板の主面上に素子構造を形成する窒化物系ⅠⅠⅠ－Ⅴ族化合物半導体層を成長させることにより半導体素子を製造するようにした半導体素子の製造方法であって、

上記窒化物系ⅠⅠⅠ－Ⅴ族化合物半導体層が上記窒化物系ⅠⅠⅠ－Ⅴ族化合物半導体基板の主面上で上記第2の領域と直接接触しないようにしたことを特徴とする半導体素子の製造方法。

【請求項74】 結晶からなる第1の領域中にこの第1の領域より結晶性が悪い直線状に延在する複数の第2の領域が互いに平行に規則的に配列している窒化物系ⅠⅠⅠ－Ⅴ族化合物半導体基板の主面上に素子構造を形成する窒化物系ⅠⅠⅠ－Ⅴ族化合物半導体層を成長させることにより半導体素子を製造するようにした半導体素子の製造方法であって、

上記窒化物系ⅠⅠⅠ－Ⅴ族化合物半導体層が上記窒化物系ⅠⅠⅠ－Ⅴ族化合物半導体基板の主面上で上記第2の領域と直接接触しないようにしたことを特徴とする半導体素子の製造方法。

【請求項75】 第1の平均転位密度を有する結晶からなる第1の領域中に上記第1の平均転位密度より高い第2の平均転位密度を有する複数の第2の領域が第1の方向に第1の間隔で規則的に配列し、上記第1の方向と直交する第2の方向に上記第1の間隔より小さい第2の間隔で規則的に配列している半導体基板の主面上に発光素子構造を形成する半導体層を成長させることにより半導体発光素子を製造するようにした半導体発光素子の製造方法であって、

上記半導体層が上記半導体基板の主面上で上記第2の領域と直接接触しないようにしたことを特徴とする半導体発光素子の製造方法。

【請求項76】 第1の平均欠陥密度を有する結晶からなる第1の領域中に上記第1の平均欠陥密度より高い第2の平均欠陥密度を有する複数の第2の領域が第1の方向に第1の間隔で規則的に配列し、上記第1の方向と直交する第2の方向に上記第1の間隔より小さい第2の間隔で規則的に配列している半導体基板の主面上に発光素子構造を形成する半導体層を成長させることにより半導体発光素子を製造するようにした半導体発光素子の製造方法であって、

上記半導体層が上記半導体基板の主面上で上記第2の領域と直接接触しないようにしたことを特徴とする半導体発光素子の製造方法。

【請求項77】 結晶からなる第1の領域中にこの第1の領域より結晶性が悪い複数の第2の領域が第1の方向に第1の間隔で規則的に配列し、上記第1の方向と直交する第2の方向に上記第1の間隔より小さい第2の間隔で規則的に配列している半導体基板の主面上に発光素子構造を形成する半導体層を成長させることにより半導体発光素子を製造するようにした半導体発光素子の製造方法であって、

上記半導体層が上記半導体基板の主面上で上記第2の領域と直接接触しないようにしたことを特徴とする半導体発光素子の製造方法。

【請求項 8 2】 第 1 の平均欠陥密度を有する結晶からなる第 1 の領域中に上記第 1 の平均欠陥密度より高い第 2 の平均欠陥密度を有する複数の第 2 の領域が第 1 の方向に第 1 の間隔で規則的に配列し、上記第 1 の方向と直交する第 2 の方向に上記第 1 の間隔より小さい第 2 の間隔で規則的に配列している半導体基板の主面上に素子構造を形成する半導体層を成長させることにより半導体素子を製造するようにした半導体素子の製造方法であつて、

【請求項 87】 第 1 の平均転位密度を有する結晶からなる第 1 の領域中に上記第 1 の平均転位密度より高い第 2 の平均転位密度を有する複数の第 2 の領域が第 1 の方向に第 1 の間隔で規則的に配列し、上記第 1 の方向と直交する第 2 の方向に上記第 1 の間隔より小さい第 2 の間隔で規則的に配列している基板の主面上に素子構造を形成する層を成長させることにより素子を製造するようにした素子の製造方法であって、

50

上記層が上記基板の主面上で上記第2の領域と直接接触しないようにしたことを特徴とする素子の製造方法。

【請求項88】 第1の平均欠陥密度を有する結晶からなる第1の領域中に上記第1の平均欠陥密度より高い第2の平均欠陥密度を有する複数の第2の領域が第1の方向に第1の間隔で規則的に配列し、上記第1の方向と直交する第2の方向に上記第1の間隔より小さい第2の間隔で規則的に配列している基板の主面上に素子構造を形成する層を成長させることにより素子を製造するようにした素子の製造方法であって、

上記層が上記基板の主面上で上記第2の領域と直接接触しないようにしたことを特徴とする素子の製造方法。

【請求項89】 結晶からなる第1の領域中にこの第1の領域より結晶性が悪い複数の第2の領域が第1の方向に第1の間隔で規則的に配列し、上記第1の方向と直交する第2の方向に上記第1の間隔より小さい第2の間隔で規則的に配列している基板の主面上に素子構造を形成する層を成長させることにより素子を製造するようにした素子の製造方法であって、

上記層が上記基板の主面上で上記第2の領域と直接接触しないようにしたことを特徴とする素子の製造方法。

【請求項90】 第1の平均転位密度を有する結晶からなる第1の領域中に上記第1の平均転位密度より高い第2の平均転位密度を有する直線状に延在する複数の第2の領域が互いに平行に規則的に配列している基板の主面上に素子構造を形成する層を成長させることにより素子を製造するようにした素子の製造方法であって、

上記層が上記基板の主面上で上記第2の領域と直接接触しないようにしたことを特徴とする素子の製造方法。

【請求項91】 第1の平均欠陥密度を有する結晶からなる第1の領域中に上記第1の平均欠陥密度より高い第2の平均欠陥密度を有する直線状に延在する複数の第2の領域が互いに平行に規則的に配列している基板の主面上に素子構造を形成する層を成長させることにより素子を製造するようにした素子の製造方法であって、

上記層が上記基板の主面上で上記第2の領域と直接接触しないようにしたことを特徴とする素子の製造方法。

【請求項92】 結晶からなる第1の領域中にこの第1の領域より結晶性が悪い直線状に延在する複数の第2の領域が互いに平行に規則的に配列している基板の主面上に素子構造を形成する層を成長させることにより素子を製造するようにした素子の製造方法であって、

上記層が上記基板の主面上で上記第2の領域と直接接触しないようにしたことを特徴とする素子の製造方法。

【請求項93】 第1の平均転位密度を有する結晶からなる第1の領域中に上記第1の平均転位密度より高い第2の平均転位密度を有する第2の領域を有する窒化物系III-V族化合物半導体基板の主面上に窒化物系III-V族化合物半導体層を成長させるようにした窒化物系III-V族化合物半導体層の成長方法であって、

上記窒化物系III-V族化合物半導体層が上記窒化物系III-V族化合物半導体基板の主面上で上記第2の領域と直接接触しないようにしたことを特徴とする窒化物系III-V族化合物半導体層の成長方法。

【請求項94】 第1の平均欠陥密度を有する結晶からなる第1の領域中に上記第1の平均欠陥密度より高い第2の平均欠陥密度を有する第2の領域を有する窒化物系III-V族化合物半導体基板の主面上に窒化物系III-V族化合物半導体層を成長させるようにした窒化物系III-V族化合物半導体層の成長方法であって、

上記窒化物系III-V族化合物半導体層が上記窒化物系III-V族化合物半導体基板の主面上で上記第2の領域と直接接触しないようにしたことを特徴とする窒化物系III-V族化合物半導体層の成長方法。

【請求項95】 結晶からなる第1の領域中にこの第1の領域より結晶性が悪い第2の領域を有する窒化物系III-V族化合物半導体基板の主面上に窒化物系III-V族化合物半導体層を成長させるようにした窒化物系III-V族化合物半導体層の成長方法であって、

上記窒化物系III-V族化合物半導体層が上記窒化物系III-V族化合物半導体基板の主面上で上記第2の領域と直接接触しないようにしたことを特徴とする窒化物系III-V族化合物半導体層の成長方法。

【請求項96】 第1の平均転位密度を有する結晶からなる第1の領域中に上記第1の平均転位密度より高い第2の平均転位密度を有する第2の領域を有する半導体基板の主面上に半導体層を成長させるようにした半導体層の成長方法であって、

上記半導体層が上記半導体基板の主面上で上記第2の領域と直接接触しないようにしたことを特徴とする半導体層の成長方法。

【請求項97】 第1の平均欠陥密度を有する結晶からなる第1の領域中に上記第1の平均欠陥密度より高い第2の平均欠陥密度を有する第2の領域を有する半導体基板の主面上に半導体層を成長させるようにした半導体層の成長方法であって、

上記半導体層が上記半導体基板の主面上で上記第2の領域と直接接触しないようにしたことを特徴とする半導体層の成長方法。

【請求項98】 結晶からなる第1の領域中にこの第1の領域より結晶性が悪い第2の領域を有する基板の主面上に半導体層を成長させるようにした半導体層の成長方法であって、

上記半導体層が上記半導体基板の主面上で上記第2の領域と直接接触しないようにしたことを特徴とする半導体層の成長方法。

【請求項99】 第1の平均転位密度を有する結晶からなる第1の領域中に上記第1の平均転位密度より高い第2の平均転位密度を有する第2の領域を有する基板の主面上に層を成長させるようにした層の成長方法であって、

10

20

30

40

50



て、

上記層が上記基板の主面上で上記第2の領域と直接接しないようにしたことを特徴とする層の成長方法。

【請求項100】 第1の平均欠陥密度を有する結晶からなる第1の領域中に上記第1の平均欠陥密度より高い第2の平均欠陥密度を有する第2の領域を有する基板の主面上に層を成長させるようにした層の成長方法であって、

上記層が上記基板の主面上で上記第2の領域と直接接しないようにしたことを特徴とする層の成長方法。

【請求項101】 結晶からなる第1の領域中にこの第1の領域より結晶性が悪い第2の領域を有する基板の主面上に層を成長させるようにした層の成長方法であって、

上記層が上記基板の主面上で上記第2の領域と直接接しないようにしたことを特徴とする層の成長方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は、半導体発光素子の製造方法、半導体素子の製造方法、素子の製造方法、窒化物系III-V族化合物半導体層の成長方法、半導体層の成長方法および層の成長方法に関し、例えば、窒化物系III-V族化合物半導体を用いた半導体レーザや発光ダイオードあるいは電子走行素子の製造に適用して好適なものである。

【0002】

【従来の技術】GaN、AlGaN、GaInN、AlGaInNなどの窒化物系III-V族化合物半導体は、AlGaInAs系III-V族化合物半導体やAlGaInP系III-V族化合物半導体に比べてバンドギャップE<sub>g</sub>が大きく、かつ直接遷移の半導体材料であるという特徴を有している。このため、これらの窒化物系III-V族化合物半導体は、紫外線から緑色に当たる短波長の光の発光が可能な半導体レーザや、紫外線から赤色まで、および白色という広い発光波長範囲をカバーできる発光ダイオード(LED)などの半導体発光素子を構成する材料として注目されており、高密度光ディスクやフルカラーディスプレイ、さらには環境・医療分野など、広く応用が考えられている。

【0003】また、これらの窒化物系III-V族化合物半導体は、例えばGaNの高電界における飽和速度が大きいこと、例えば400℃程度までの高温動作が可能であること、および、例えばMIS(Metal-Insulator-Semiconductor)構造における絶縁層の材料にAlNを用いることで半導体層および絶縁層の形成を結晶成長により連続して行うことができるなどの特徴を有している。このため、これらの窒化物系III-V族化合物半導体は、高温動作可能な高出力の高周波電子素子を構成する材料としても期待されている。

【0004】このほか、窒化物系III-V族化合物半

導体の長所としては、以下のことが挙げられる。

(1) 熱伝導性がGaAs系半導体などよりも高く、高温・高出力動作の素子向きである。

(2) 材料が化学的に安定であり、また硬度も高く、高い信頼性を得やすい。

(3) 環境への負荷が小さい化合物半導体材料である。すなわち、AlGaInN系半導体は、構成材料や原料に環境への影響が大きい環境汚染物質や毒物を含まない。具体的には、AlGaAs系半導体におけるヒ素

(As)、ZnCdSSe系半導体におけるカドミウム(Cd)などに相当する材料およびその原料(アルシン(AsH<sub>3</sub>))などを使用しない。

【0005】しかしながら、従来、窒化物系III-V族化合物半導体を用いた素子においては、高い信頼性を得るのに適当な基板材料がないという問題があった。窒化物系III-V族化合物半導体の基板材料として、特に高品質の結晶を得るために、以下の問題や状況がある。

(1) 構成材料のGaN、AlGaN、GaInNが格子定数の異なる全歪み系である。そのため、窒化物系III-V族化合物半導体同士および基板との間に、クラックなどを生じない範囲および良質の結晶膜が得られる範囲に組成や厚さなどを抑えるなど、設計上の制限がある。

(2) GaNに格子整合する高品質基板がまだ開発されていない。GaAs系半導体やGaInP系半導体に格子整合する高品質GaAs基板や、GaInAs系半導体に格子整合する高品質InP基板があるように、例えば高品質なGaN基板は開発途上であり、格子定数差の比較的小さいSiC基板は、高価であり、大口径化も困難であり、結晶膜に引っ張り歪みが発生するためクラックが発生しやすい、などの問題があり、またこれら以外にはGaNに格子整合する基板がない。

(3) 窒化物系III-V族化合物半導体の基板材料の必要条件に、約1000℃の高い結晶成長温度およびV族原料のアンモニア雰囲気中で変質・腐食されないことがある。

【0006】以上のような理由により、窒化物系III-V族化合物半導体の基板としては総合的な判断でサファイア基板を使用する場合が多い。サファイア基板は、窒化物系III-V族化合物半導体の結晶成長温度で安定で、高品質の2または3インチ基板が安定に供給される利点があるが、その一方でGaNとの格子不整合が大きい(約13%)。このため、サファイア基板上に低温成長によりGaNやAlNからなるバッファ層を形成し、その上に窒化物系III-V族化合物半導体を成長させている。これによれば、単結晶の窒化物系III-V族化合物半導体を成長させることが可能であるが、その欠陥密度は格子不整合を反映して例えば10<sup>8</sup>~10<sup>9</sup>(cm<sup>-2</sup>)程度もあり、例えば半導体レーザにおいて

は長時間の信頼性を得ることは困難であった。

【0007】サファイア基板にはこのほかに、(1) 劈開性がないため、鏡面性が高いレーザ端面の安定な形成が困難、(2) サファイアが絶縁性のため基板上面からp側電極およびn側電極の取り出しが必須、(3) 結晶成長膜が厚いと、窒化物系ⅢⅢⅤ族化合物半導体とサファイアとの熱膨張係数の差により、室温での基板の反りが大きく、素子形成プロセスに支障を来す、などの問題がある。

【0008】サファイア基板のように格子定数の異なる基板上に成長させる半導体結晶の高品質化の目的では、横方向選択成長(Epitaxial Lateral Overgrowth; ELO)を用いる方法がある。ELOでは、周期的に高結晶品質領域(横方向成長領域)と低結晶品質あるいは高欠陥密度領域(種結晶上やその境界、会合部など)とが現れるが、素子の活性領域(例えば、発光素子では発光領域、電子走行素子では電子が走行する領域)のサイズが大きい場合、ELOの周期は、半導体レーザのストライプやトランジスタのエミッタ領域/コレクタ領域(またはソース領域/ドレイン領域)間隔より大きくとることができる。例えば、ELOの周期10~20μmに対し、素子の活性領域のサイズは数μm程度であるため、高品質領域内に活性領域を設計することが可能である。

【0009】サファイア基板上にELOを利用して素子を形成する場合には、上述の劈開性の悪さなどサファイア自身の性質に起因する問題以外にも、例えば以下のような問題があった。

(1) ELOに必要な工程数が多いことにより歩留まりが低下する。

(2) ELOに必要な分だけ結晶膜厚が増大することにより、基板に熱応力による大きな反りが発生し、結晶成長工程やウェハプロセスの制御性を低下させる。

(3) 素子サイズの制限がある。LEDやフォトディテクタ(PD)および集積素子など、ELO周期より大きい、例えば数百μm角以上の活性領域を持つ素子では、全素子領域を高結晶品質領域とすることができないため、ELOの効果を発揮できない。

【0010】以上の諸問題は、高品質のGaN基板が得られれば解決することが可能であるが、これまでの試みでは、高品質で大口径のGaN基板が得られなかった。これは、GaNはHVPE(ハライド気相成長)によっても、一般に高温(高圧)成長による良質な種結晶を得にくい、などの理由で、単結晶成長を安定に行うことができず、高品質基板の製造が困難なことによる。

【0011】特開2001-102307号公報にはこの問題の改善を図ることを目的とした単結晶GaN基板の製造方法が提案されている。これによれば、高欠陥密度のGaN種基板を形成後、一部に3次元的なファセット(以下「コア」と呼ぶ)を形成し、ファセットを閉じ

ない条件で成長を続けることで、このコア部に結晶転位を集中させて、結果として広い領域が高品質な基板を製造している。

【0012】

【発明が解決しようとする課題】しかしながら、特開2001-102307号公報に開示された技術は、特に貫通転位を成長層のある領域に集中させることにより、他の領域の貫通転位を減少させるものであるため、得られた単結晶GaN基板には低欠陥密度の領域(コア)と高欠陥密度の領域とが混在しており、しかも高欠陥密度の領域が発生する位置は制御することができず、ランダムに発生する。このため、この単結晶GaN基板上に窒化物系ⅢⅢⅤ族化合物半導体層を成長させて半導体素子、例えば半導体レーザを製造する場合、高欠陥密度の領域が発光領域に形成されてしまうのを避けることができず、半導体レーザの発光特性や信頼性の低下を招いていた。

【0013】したがって、この発明が解決しようとする課題は、発光特性などの特性が良好で信頼性も高く長寿命の半導体発光素子およびそのような半導体発光素子を容易に製造することができる半導体発光素子の製造方法を提供することにある。

【0014】より一般的には、この発明が解決しようとする課題は、特性が良好で信頼性も高く長寿命の半導体素子およびそのような半導体素子を容易に製造することができる半導体素子の製造方法を提供することにある。

【0015】さらに一般的には、この発明が解決しようとする課題は、特性が良好で信頼性も高く長寿命の各種の素子およびそのような素子を容易に製造することができる素子の製造方法を提供することにある。

【0016】また、この発明が解決しようとする課題は、発光特性などの特性が良好で信頼性も高く長寿命の半導体発光素子あるいは特性が良好で信頼性も高く長寿命の半導体素子あるいは特性が良好で信頼性も高く長寿命の各種の素子の製造に用いて好適な窒化物系ⅢⅢⅤ族化合物半導体層の成長方法、半導体層の成長方法および層の成長方法を提供することにある。

【0017】

【課題を解決するための手段】本発明者は、上記課題を解決するために鋭意検討を行った。その概要について説明すると、次のとおりである。

【0018】本発明者は、特開2001-102307号公報に開示された技術の改良を重ねた結果、低欠陥密度領域中に発生する高欠陥密度領域の位置を制御することに成功した。すなわち、高欠陥密度領域を結晶成長中に自然に凝集させて形成するのではなく、人為的にGAs基板などの適当な基板上に種結晶等を例えば円形で規則的、例えば周期的に形成し、その上に結晶成長を行うことにより高欠陥密度領域の形成位置を制御することができ、結晶品質の改善や良質の結晶領域を広げること

が可能となる。この場合、種結晶等の配置により、高欠陥密度領域の配列パターンを自由自在に変えることができる。

【0019】ここで、種結晶等とは、例えば多結晶、非晶質（アモルファス）または単結晶のGaNや、AlGaInNなどのGaN以外の窒化物系III-V族化合物半導体や、窒化物系III-V族化合物半導体以外の材料で形成されるが、結晶欠陥集中位置を規定する核（コア）となる構造であればどのような構造であってもよい。

【0020】このような基板を用いて半導体レーザなどの半導体発光素子、より一般的には半導体素子を製造する場合、基板に存在する高欠陥密度領域が素子に及ぼす悪影響を排除する必要がある。すなわち、基板上に半導体層を成長させると、この半導体層に下地基板の高欠陥密度領域から欠陥が伝播するため、この欠陥に起因する素子の特性の劣化や信頼性の低下などを防止する必要がある。

【0021】この問題は、素子に使用する半導体と同質で低欠陥密度の基板を得ることが困難である場合、上記と同様な構造の基板を用いてその上に半導体層を成長させる場合にも起こるものである。より一般的には、素子に使用する材料と同質で低欠陥密度の基板を得ることが困難である場合、上記と同様な構造の基板を用いてその上に層を成長させる場合にも起こるものである。本発明者は、種々検討を行った結果、上記の課題を解決することができる有効な手法を見出し、この発明を案出するに至ったものである。

【0022】すなわち、上記課題を解決するために、この発明の第1の発明は、第1の平均転位密度を有する結晶からなる第1の領域中に第1の平均転位密度より高い第2の平均転位密度を有する複数の第2の領域が規則的に配列している窒化物系III-V族化合物半導体基板の主面上に発光素子構造を形成する窒化物系III-V族化合物半導体層を成長させることにより半導体発光素子を製造するようにした半導体発光素子の製造方法であって、窒化物系III-V族化合物半導体層が窒化物系III-V族化合物半導体基板の主面上で第2の領域と直接接触しないようにしたことを特徴とするものである。

【0023】窒化物系III-V族化合物半導体層が窒化物系III-V族化合物半導体基板の主面上で第2の領域と直接接触しないようにするためには、具体的には、例えば、窒化物系III-V族化合物半導体層を成長させる前に第2の領域を窒化物系III-V族化合物半導体基板の主面から少なくとも一部除去しておくようにする。より具体的には、窒化物系III-V族化合物半導体層を成長させる前に第2の領域を上記窒化物系III-V族化合物半導体基板の主面から所定の深さまで除去しておく。ここで、所定の深さは、窒化物系III-V

族化合物半導体層により構成する素子の構成や、窒化物系III-V族化合物半導体層の成長条件などに応じて適宜選ばれるが、一般的には1 $\mu$ m以上、好適には窒化物系III-V族化合物半導体層を用いて構成する素子の厚さ程度以上（例えば10 $\mu$ m以上）とする。窒化物系III-V族化合物半導体層を成長させる前に第2の領域を全部除去しておくようにしてもよい。第2の領域の除去は、典型的にはエッチングにより行い、具体的には、ウェットエッチング、ドライエッチング、熱化学エッチング、イオンミリングなどにより行う。

【0024】窒化物系III-V族化合物半導体層が窒化物系III-V族化合物半導体基板の主面上で第2の領域と直接接触しないようにするためには、窒化物系III-V族化合物半導体層を成長させる前に第2の領域の表面を被覆層で覆っておくようにしてもよい。この被覆層としては、成長温度に耐えられる限り各種のものをを用いることができ、具体的には、SiO<sub>2</sub>膜、Si<sub>x</sub>N<sub>y</sub>膜、SOG (Spin on Glass)膜などの絶縁膜のほか、タングステン(W)、モリブデン(Mo)、タンタル(Ta)などの高融点金属膜やそれらの窒化膜などを用いることができる。この場合、第2の領域上に単に被覆層を形成するだけでもよいが、第2の領域が窒化物系III-V族化合物半導体基板の主面から所定の深さまで除去されている場合には、この第2の領域が除去された部分が被覆層により埋められるようにしてもよい。前者の場合には、被覆層の表面は窒化物系III-V族化合物半導体基板の主面より高い位置にあるが、後者の場合には、エッチバックの手法を用いることなどにより被覆層の表面を窒化物系III-V族化合物半導体基板の主面と一致させることができる。

【0025】互いに隣接する二つの第2の領域の間隔あるいは第2の領域の配列周期は、素子の大きさなどに応じて選ばれるが、一般的には20 $\mu$ m以上あるいは50 $\mu$ m以上あるいは100 $\mu$ m以上である。この第2の領域の間隔あるいは第2の領域の配列周期の上限は必ずしも明確なものは存在しないが、一般的には1000 $\mu$ m程度である。この第2の領域は、典型的には窒化物系III-V族化合物半導体基板を貫通している。また、この第2の領域は典型的には不定多角柱状の形状を有する。第1の領域と第2の領域との間には、第1の平均転位密度より高く、かつ第2の平均転位密度より低い第3の平均転位密度を有する第3の領域が遷移領域として存在することも多く、この場合、窒化物系III-V族化合物半導体層が窒化物系III-V族化合物半導体基板の主面上で第2の領域と直接接触しないようにするだけでもよいが、最も好適には、窒化物系III-V族化合物半導体層が窒化物系III-V族化合物半導体基板の主面上でこれらの第2の領域および第3の領域と直接接触しないようにする。後者の場合、具体的には、例えば、窒化物系III-V族化合物半導体層を成長させる

前に第2の領域および第3の領域を窒化物系ⅡⅡⅠ-V族化合物半導体基板の主面から少なくとも一部除去しておくようにする。

【0026】第2の領域の直径は、典型的には $10\mu\text{m}$ 以上 $100\mu\text{m}$ 以下、より典型的には $20\mu\text{m}$ 以上 $50\mu\text{m}$ 以下である。また、第3の領域が存在する場合、その直径は典型的には第2の領域の直径より $20\mu\text{m}$ 以上 $200\mu\text{m}$ 以下より大きく、より典型的には $40\mu\text{m}$ 以上 $160\mu\text{m}$ 以下大きく、最も典型的には $60\mu\text{m}$ 以上 $140\mu\text{m}$ 以下大きい。

【0027】第2の領域の平均転位密度は一般的には第1の領域の転位密度の5倍以上である。典型的には、第1の領域の平均転位密度は $2 \times 10^6\text{ cm}^{-2}$ 以下、第2の領域の平均転位密度は $1 \times 10^8\text{ cm}^{-2}$ 以上である。第3の領域が存在する場合、その平均転位密度は、典型的には $1 \times 10^8\text{ cm}^{-2}$ より小さく、 $2 \times 10^6\text{ cm}^{-2}$ より大きい。

【0028】半導体発光素子の発光領域は、平均転位密度が高い第2の領域による悪影響を防止するために、第2の領域から $1\mu\text{m}$ 以上、好適には $10\mu\text{m}$ 以上、より好適には $100\mu\text{m}$ 以上離す。第3の領域が存在する場合、最も好適には、半導体発光素子の発光領域が第2の領域および第3の領域を含まないようにする。より具体的には、半導体発光素子は半導体レーザや発光ダイオードであるが、前者の半導体レーザの場合、ストライプ状電極を介して駆動電流が流される領域は第2の領域から好適には $1\mu\text{m}$ 以上、より好適には $10\mu\text{m}$ 以上、さらに好適には $100\mu\text{m}$ 以上離す。第3の領域が存在する場合、最も好適には、ストライプ状電極を介して駆動電流が流される領域が第2の領域および第3の領域を含まないようにする。ストライプ状電極、すなわちレーザストライプの数は一つまたは複数設けてよく、その幅も必要に応じて選ぶことができる。

【0029】窒化物系ⅡⅡⅠ-V族化合物半導体基板あるいは窒化物系ⅡⅡⅠ-V族化合物半導体層は、最も一般的には $\text{Al}_x\text{B}_y\text{Ga}_{1-x-y-z}\text{In}_z\text{As}_u\text{N}_{1-u-v}\text{P}_v$ （ただし、 $0 \leq x \leq 1$ 、 $0 \leq y \leq 1$ 、 $0 \leq z \leq 1$ 、 $0 \leq u \leq 1$ 、 $0 \leq v \leq 1$ 、 $0 \leq x+y+z < 1$ 、 $0 \leq u+v < 1$ ）からなり、より具体的には $\text{Al}_x\text{B}_y\text{Ga}_{1-x-y-z}\text{In}_z\text{N}$ （ただし、 $0 \leq x \leq 1$ 、 $0 \leq y \leq 1$ 、 $0 \leq z \leq 1$ 、 $0 \leq x+y+z < 1$ ）からなり、典型的には $\text{Al}_x\text{Ga}_{1-x-z}\text{In}_z\text{N}$ （ただし、 $0 \leq x \leq 1$ 、 $0 \leq z \leq 1$ ）からなる。窒化物系ⅡⅡⅠ-V族化合物半導体基板は、最も典型的には $\text{GaN}$ からなる。この発明の第1の発明に関連して述べた以上のことは、その性質に反しない限り、以下の発明についても成立するものである。

【0030】この発明の第2の発明は、第1の平均欠陥密度を有する結晶からなる第1の領域中に第1の平均欠陥密度より高い第2の平均欠陥密度を有する複数の第2

の領域が規則的に配列している窒化物系ⅡⅡⅠ-V族化合物半導体基板の主面上に発光素子構造を形成する窒化物系ⅡⅡⅠ-V族化合物半導体層を成長させることにより半導体発光素子を製造するようにした半導体発光素子の製造方法であって、窒化物系ⅡⅡⅠ-V族化合物半導体層が窒化物系ⅡⅡⅠ-V族化合物半導体基板の主面上で第2の領域と直接接触しないようにしたことを特徴とするものである。

【0031】ここで、「平均欠陥密度」とは、素子の特性や信頼性などに悪影響を及ぼす格子欠陥全体の平均密度を意味し、欠陥には転位や積層欠陥や点欠陥などあらゆるものが含まれる（以下同様）。

【0032】この発明の第3の発明は、結晶からなる第1の領域中にこの第1の領域より結晶性が悪い複数の第2の領域が規則的に配列している窒化物系ⅡⅡⅠ-V族化合物半導体基板の主面上に発光素子構造を形成する窒化物系ⅡⅡⅠ-V族化合物半導体層を成長させることにより半導体発光素子を製造するようにした半導体発光素子の製造方法であって、窒化物系ⅡⅡⅠ-V族化合物半導体層が窒化物系ⅡⅡⅠ-V族化合物半導体基板の主面上で第2の領域と直接接触しないようにしたことを特徴とするものである。

【0033】ここで、典型的には、結晶からなる第1の領域は単結晶であり、この第1の領域より結晶性が悪い第2の領域は単結晶、多結晶もしくは非晶質またはこれらの二以上が混在したものである（以下同様）。これは、第2の領域の平均転位密度あるいは平均欠陥密度が第1の領域の平均転位密度あるいは平均欠陥密度より高い場合と対応するものである。

【0034】この発明の第4の発明は、第1の平均転位密度を有する結晶からなる第1の領域中に第1の平均転位密度より高い第2の平均転位密度を有する複数の第2の領域が規則的に配列している窒化物系ⅡⅡⅠ-V族化合物半導体基板の主面上に素子構造を形成する窒化物系ⅡⅡⅠ-V族化合物半導体層を成長させることにより半導体素子を製造するようにした半導体素子の製造方法であって、窒化物系ⅡⅡⅠ-V族化合物半導体層が窒化物系ⅡⅡⅠ-V族化合物半導体基板の主面上で第2の領域と直接接触しないようにしたことを特徴とするものである。

【0035】この発明の第5の発明は、第1の平均欠陥密度を有する結晶からなる第1の領域中に第1の平均欠陥密度より高い第2の平均欠陥密度を有する複数の第2の領域が規則的に配列している窒化物系ⅡⅡⅠ-V族化合物半導体基板の主面上に素子構造を形成する窒化物系ⅡⅡⅠ-V族化合物半導体層を成長させることにより半導体素子を製造するようにした半導体素子の製造方法であって、窒化物系ⅡⅡⅠ-V族化合物半導体層が窒化物系ⅡⅡⅠ-V族化合物半導体基板の主面上で第2の領域と直接接触しないようにしたことを特徴とするものであ

る。

【0036】この発明の第6の発明は、結晶からなる第1の領域中にこの第1の領域より結晶性が悪い複数の第2の領域が規則的に配列している窒化物系ⅢⅠⅠ-V族化合物半導体基板の主面上に素子構造を形成する窒化物系ⅢⅠⅠ-V族化合物半導体層を成長させることにより半導体素子を製造するようにした半導体素子の製造方法であって、窒化物系ⅢⅠⅠ-V族化合物半導体層が窒化物系ⅢⅠⅠ-V族化合物半導体基板の主面上で第2の領域と直接接触しないようにしたことを特徴とするものである。

【0037】この発明の第4～第6の発明において、半導体素子には、発光ダイオードや半導体レーザのような発光素子のほか、受光素子、さらには高電子移動度トランジスタなどの電界効果トランジスタ(FET)やヘテロ接合バイポーラトランジスタ(HBT)のような電子走行素子が含まれる(以下同様)。

【0038】この発明の第4～第6の発明において、半導体素子の活性領域は、平均転位密度が高い第2の領域による悪影響を防止するために、第2の領域から好適には1 $\mu$ m以上、より好適には10 $\mu$ m以上、さらに好適には100 $\mu$ m以上離す。第3の領域が存在する場合、最も好適には、半導体素子の活性領域が第2の領域および第3の領域を含まないようにする。ここで、活性領域とは、半導体発光素子においては発光領域、半導体受光素子においては受光領域、電子走行素子においては電子が走行する領域を意味する(以下同様)。

【0039】この発明の第7の発明は、第1の平均転位密度を有する結晶からなる第1の領域中に第1の平均転位密度より高い第2の平均転位密度を有する複数の第2の領域が規則的に配列している半導体基板の主面上に発光素子構造を形成する半導体層を成長させることにより半導体発光素子を製造するようにした半導体発光素子の製造方法であって、半導体層が半導体基板の主面上で第2の領域と直接接触しないようにしたことを特徴とするものである。

【0040】この発明の第8の発明は、第1の平均欠陥密度を有する結晶からなる第1の領域中に第1の平均欠陥密度より高い第2の平均欠陥密度を有する複数の第2の領域が規則的に配列している半導体基板の主面上に発光素子構造を形成する半導体層を成長させることにより半導体発光素子を製造するようにした半導体発光素子の製造方法であって、半導体層が半導体基板の主面上で第2の領域と直接接触しないようにしたことを特徴とするものである。

【0041】この発明の第9の発明は、結晶からなる第1の領域中にこの第1の領域より結晶性が悪い複数の第2の領域が規則的に配列している半導体基板の主面上に発光素子構造を形成する半導体層を成長させることにより半導体発光素子を製造するようにした半導体発光素子

の製造方法であって、半導体層が半導体基板の主面上で第2の領域と直接接触しないようにしたことを特徴とするものである。

【0042】この発明の第10の発明は、第1の平均転位密度を有する結晶からなる第1の領域中に第1の平均転位密度より高い第2の平均転位密度を有する複数の第2の領域が規則的に配列している半導体基板の主面上に素子構造を形成する半導体層を成長させることにより半導体素子を製造するようにした半導体素子の製造方法であって、半導体層が半導体基板の主面上で第2の領域と直接接触しないようにしたことを特徴とするものである。

【0043】この発明の第11の発明は、第1の平均欠陥密度を有する結晶からなる第1の領域中に第1の平均欠陥密度より高い第2の平均欠陥密度を有する複数の第2の領域が規則的に配列している半導体基板の主面上に素子構造を形成する半導体層を成長させることにより半導体素子を製造するようにした半導体素子の製造方法であって、半導体層が半導体基板の主面上で第2の領域と直接接触しないようにしたことを特徴とするものである。

【0044】この発明の第12の発明は、結晶からなる第1の領域中にこの第1の領域より結晶性が悪い複数の第2の領域が規則的に配列している半導体基板の主面上に素子構造を形成する半導体層を成長させることにより半導体素子を製造するようにした半導体素子の製造方法であって、半導体層が半導体基板の主面上で第2の領域と直接接触しないようにしたことを特徴とするものである。

【0045】この発明の第10～第12の発明において、半導体基板あるいは半導体層の材料は、窒化物系ⅢⅠⅠ-V族化合物半導体のほか、ウルツ鉱型(wurtzite)構造、より一般的には六方晶系の結晶構造を有する他の半導体、例えばZnO、 $\alpha$ -ZnS、 $\alpha$ -CdS、 $\alpha$ -CdSeなどであってもよく、さらには他の結晶構造を有する各種の半導体であってもよい。

【0046】この発明の第13の発明は、第1の平均転位密度を有する結晶からなる第1の領域中に第1の平均転位密度より高い第2の平均転位密度を有する複数の第2の領域が規則的に配列している基板の主面上に素子構造を形成する層を成長させることにより素子を製造するようにした素子の製造方法であって、層が基板の主面上で第2の領域と直接接触しないようにしたことを特徴とするものである。

【0047】この発明の第14の発明は、第1の平均欠陥密度を有する結晶からなる第1の領域中に第1の平均欠陥密度より高い第2の平均欠陥密度を有する複数の第2の領域が規則的に配列している基板の主面上に素子構造を形成する層を成長させることにより素子を製造するようにした素子の製造方法であって、層が基板の主面上

10

20

30

40

50

で第2の領域と直接触しないようにしたことを特徴とするものである。

【0048】この発明の第15の発明は、結晶からなる第1の領域中にこの第1の領域より結晶性が悪い複数の第2の領域が規則的に配列している基板の主面上に素子構造を形成する層を成長させることにより素子を製造するようにした素子の製造方法であって、層が基板の主面上で第2の領域と直接触しないようにしたことを特徴とするものである。

【0049】この発明の第13～第15の発明において、素子は、半導体素子（発光素子、受光素子、電子走行素子など）のほか、圧電素子、焦電素子、光学素子（非線形光学結晶を用いる第2次高調波発生素子など）、誘電体素子（強誘電体素子を含む）、超伝導素子などである。この場合、基板あるいは層の材料は、半導体素子では上記のような各種の半導体を用いることができ、圧電素子、焦電素子、光学素子、誘電体素子、超伝導素子などでは例えば酸化物などの各種の材料を用いることができる。酸化物材料については、例えばJournal of the Society of Japan Vol.103, No.11(1995)pp.1099-1111 やMaterials Science and Engineering B41(1996)166-173に開示されたものなど、多くのものがある。

【0050】この発明の第16の発明は、第1の平均転位密度を有する結晶からなる第1の領域中に第1の平均転位密度より高い第2の平均転位密度を有する複数の第2の領域が第1の方向に第1の間隔で規則的に配列し、第1の方向と直交する第2の方向に第1の間隔より小さい第2の間隔で規則的に配列している窒化物系ⅡⅡⅠ-V族化合物半導体基板の主面上に発光素子構造を形成することにより半導体発光素子を製造するようにした半導体発光素子の製造方法であって、窒化物系ⅡⅡⅠ-V族化合物半導体層が窒化物系ⅡⅡⅠ-V族化合物半導体基板の主面上で第2の領域と直接触しないようにしたことを特徴とするものである。

【0051】この発明の第17の発明は、第1の平均欠陥密度を有する結晶からなる第1の領域中に第1の平均欠陥密度より高い第2の平均欠陥密度を有する複数の第2の領域が第1の方向に第1の間隔で規則的に配列し、第1の方向と直交する第2の方向に第1の間隔より小さい第2の間隔で規則的に配列している窒化物系ⅡⅡⅠ-V族化合物半導体基板の主面上に発光素子構造を形成することにより半導体発光素子を製造するようにした半導体発光素子の製造方法であって、窒化物系ⅡⅡⅠ-V族化合物半導体層が窒化物系ⅡⅡⅠ-V族化合物半導体基板の主面上で第2の領域と直接触しないようにしたことを特徴とするものである。

【0052】この発明の第18の発明は、結晶からなる第1の領域中にこの第1の領域より結晶性が悪い複数の

第2の領域が第1の方向に第1の間隔で規則的に配列し、第1の方向と直交する第2の方向に第1の間隔より小さい第2の間隔で規則的に配列している窒化物系ⅡⅡⅠ-V族化合物半導体基板の主面上に発光素子構造を形成する窒化物系ⅡⅡⅠ-V族化合物半導体層を成長させることにより半導体発光素子を製造するようにした半導体発光素子の製造方法であって、窒化物系ⅡⅡⅠ-V族化合物半導体層が窒化物系ⅡⅡⅠ-V族化合物半導体基板の主面上で第2の領域と直接触しないようにしたことを特徴とするものである。

【0053】この発明の第19の発明は、第1の平均転位密度を有する結晶からなる第1の領域中に第1の平均転位密度より高い第2の平均転位密度を有する直線状に延在する複数の第2の領域が互いに平行に規則的に配列している窒化物系ⅡⅡⅠ-V族化合物半導体基板の主面上に発光素子構造を形成する窒化物系ⅡⅡⅠ-V族化合物半導体層を成長させることにより半導体発光素子を製造するようにした半導体発光素子の製造方法であって、窒化物系ⅡⅡⅠ-V族化合物半導体層が窒化物系ⅡⅡⅠ-V族化合物半導体基板の主面上で第2の領域と直接触しないようにしたことを特徴とするものである。

【0054】この発明の第20の発明は、第1の平均欠陥密度を有する結晶からなる第1の領域中に第1の平均欠陥密度より高い第2の平均欠陥密度を有する直線状に延在する複数の第2の領域が互いに平行に規則的に配列している窒化物系ⅡⅡⅠ-V族化合物半導体基板の主面上に発光素子構造を形成する窒化物系ⅡⅡⅠ-V族化合物半導体層を成長させることにより半導体発光素子を製造するようにした半導体発光素子の製造方法であって、窒化物系ⅡⅡⅠ-V族化合物半導体層が窒化物系ⅡⅡⅠ-V族化合物半導体基板の主面上で第2の領域と直接触しないようにしたことを特徴とするものである。

【0055】この発明の第21の発明は、結晶からなる第1の領域中にこの第1の領域より結晶性が悪い直線状に延在する複数の第2の領域が互いに平行に規則的に配列している窒化物系ⅡⅡⅠ-V族化合物半導体基板の主面上に発光素子構造を形成する窒化物系ⅡⅡⅠ-V族化合物半導体層を成長させることにより半導体発光素子を製造するようにした半導体発光素子の製造方法であって、窒化物系ⅡⅡⅠ-V族化合物半導体層が窒化物系ⅡⅡⅠ-V族化合物半導体基板の主面上で第2の領域と直接触しないようにしたことを特徴とするものである。

【0056】この発明の第22の発明は、第1の平均転位密度を有する結晶からなる第1の領域中に第1の平均転位密度より高い第2の平均転位密度を有する複数の第2の領域が第1の方向に第1の間隔で規則的に配列し、第1の方向と直交する第2の方向に第1の間隔より小さい第2の間隔で規則的に配列している窒化物系ⅡⅡⅠ-V族化合物半導体基板の主面上に素子構造を形成する窒化物系ⅡⅡⅠ-V族化合物半導体層を成長させることに

10

20

30

40

50

より半導体素子を製造するようにした半導体素子の製造方法であって、窒化物系ⅡⅡⅠ-V族化合物半導体層が窒化物系ⅡⅡⅠ-V族化合物半導体基板の主面上で第2の領域と直接接触しないようにしたことを特徴とするものである。

【0057】この発明の第23の発明は、第1の平均欠陥密度を有する結晶からなる第1の領域中に第1の平均欠陥密度より高い第2の平均欠陥密度を有する複数の第2の領域が第1の方向に第1の間隔で規則的に配列し、第1の方向と直交する第2の方向に第1の間隔より小さい第2の間隔で規則的に配列している窒化物系ⅡⅡⅠ-V族化合物半導体基板の主面上に素子構造を形成する窒化物系ⅡⅡⅠ-V族化合物半導体層を成長させることにより半導体素子を製造するようにした半導体素子の製造方法であって、窒化物系ⅡⅡⅠ-V族化合物半導体層が窒化物系ⅡⅡⅠ-V族化合物半導体基板の主面上で第2の領域と直接接触しないようにしたことを特徴とするものである。

【0058】この発明の第24の発明は、結晶からなる第1の領域中にこの第1の領域より結晶性が悪い複数の第2の領域が第1の方向に第1の間隔で規則的に配列し、第1の方向と直交する第2の方向に第1の間隔より小さい第2の間隔で規則的に配列している窒化物系ⅡⅡⅠ-V族化合物半導体基板の主面上に素子構造を形成する窒化物系ⅡⅡⅠ-V族化合物半導体層を成長させることにより半導体素子を製造するようにした半導体素子の製造方法であって、窒化物系ⅡⅡⅠ-V族化合物半導体層が窒化物系ⅡⅡⅠ-V族化合物半導体基板の主面上で第2の領域と直接接触しないようにしたことを特徴とするものである。

【0059】この発明の第25の発明は、第1の平均転位密度を有する結晶からなる第1の領域中に第1の平均転位密度より高い第2の平均転位密度を有する直線状に延在する複数の第2の領域が互いに平行に規則的に配列している窒化物系ⅡⅡⅠ-V族化合物半導体基板の主面上に素子構造を形成する窒化物系ⅡⅡⅠ-V族化合物半導体層を成長させることにより半導体素子を製造するようにした半導体素子の製造方法であって、窒化物系ⅡⅡⅠ-V族化合物半導体層が窒化物系ⅡⅡⅠ-V族化合物半導体基板の主面上で第2の領域と直接接触しないようにしたことを特徴とするものである。

【0060】この発明の第26の発明は、第1の平均欠陥密度を有する結晶からなる第1の領域中に第1の平均欠陥密度より高い第2の平均欠陥密度を有する直線状に延在する複数の第2の領域が互いに平行に規則的に配列している窒化物系ⅡⅡⅠ-V族化合物半導体基板の主面上に素子構造を形成する窒化物系ⅡⅡⅠ-V族化合物半導体層を成長させることにより半導体素子を製造するようにした半導体素子の製造方法であって、窒化物系ⅡⅡⅠ-V族化合物半導体層が窒化物系ⅡⅡⅠ-V族化合物

半導体基板の主面上で第2の領域と直接接触しないようにしたことを特徴とするものである。

【0061】この発明の第27の発明は、結晶からなる第1の領域中にこの第1の領域より結晶性が悪い直線状に延在する複数の第2の領域が互いに平行に規則的に配列している窒化物系ⅡⅡⅠ-V族化合物半導体基板の主面上に素子構造を形成する窒化物系ⅡⅡⅠ-V族化合物半導体層を成長させることにより半導体素子を製造するようにした半導体素子の製造方法であって、窒化物系ⅡⅡⅠ-V族化合物半導体層が窒化物系ⅡⅡⅠ-V族化合物半導体基板の主面上で第2の領域と直接接触しないようにしたことを特徴とするものである。

【0062】この発明の第28の発明は、第1の平均転位密度を有する結晶からなる第1の領域中に第1の平均転位密度より高い第2の平均転位密度を有する複数の第2の領域が第1の方向に第1の間隔で規則的に配列し、第1の方向と直交する第2の方向に第1の間隔より小さい第2の間隔で規則的に配列している半導体基板の主面上に発光素子構造を形成する半導体層を成長させることにより半導体発光素子を製造するようにした半導体発光素子の製造方法であって、半導体層が半導体基板の主面上で第2の領域と直接接触しないようにしたことを特徴とするものである。

【0063】この発明の第29の発明は、第1の平均欠陥密度を有する結晶からなる第1の領域中に第1の平均欠陥密度より高い第2の平均欠陥密度を有する複数の第2の領域が第1の方向に第1の間隔で規則的に配列し、第1の方向と直交する第2の方向に第1の間隔より小さい第2の間隔で規則的に配列している半導体基板の主面上に発光素子構造を形成する半導体層を成長させることにより半導体発光素子を製造するようにした半導体発光素子の製造方法であって、半導体層が半導体基板の主面上で第2の領域と直接接触しないようにしたことを特徴とするものである。

【0064】この発明の第30の発明は、結晶からなる第1の領域中にこの第1の領域より結晶性が悪い複数の第2の領域が第1の方向に第1の間隔で規則的に配列し、第1の方向と直交する第2の方向に第1の間隔より小さい第2の間隔で規則的に配列している半導体基板の主面上に発光素子構造を形成する半導体層を成長させることにより半導体発光素子を製造するようにした半導体発光素子の製造方法であって、半導体層が半導体基板の主面上で第2の領域と直接接触しないようにしたことを特徴とするものである。

【0065】この発明の第31の発明は、第1の平均転位密度を有する結晶からなる第1の領域中に第1の平均転位密度より高い第2の平均転位密度を有する直線状に延在する複数の第2の領域が互いに平行に規則的に配列している半導体基板の主面上に発光素子構造を形成する半導体層を成長させることにより半導体発光素子を製造

10

20

30

40

50



するようにした半導体発光素子の製造方法であって、半導体層が半導体基板の主面上で第2の領域と直接接しないようにしたことを特徴とするものである。

【００６６】この発明の第３２の発明は、第１の平均欠陥密度を有する結晶からなる第１の領域中に第１の平均欠陥密度より高い第２の平均欠陥密度を有する直線状に延在する複数の第２の領域が互いに平行に規則的に配列している半導体基板の主面上に発光素子構造を形成する半導体層を成長させることにより半導体発光素子を製造するようにした半導体発光素子の製造方法であって、半導体層が半導体基板の主面上で第２の領域と直接接触しないようにしたことを特徴とするものである。

【００６７】この発明の第３の発明は、結晶からなる第１の領域中にこの第１の領域より結晶性が悪い直線状に延在する複数の第２の領域が互いに平行に規則的に配列している半導体基板の主面上に発光素子構造を形成する半導体層を成長させることにより半導体発光素子を製造するようにした半導体発光素子の製造方法であって、半導体層が半導体基板の主面上で第２の領域と直接接触しないようにしたことを特徴とするものである。

【００６８】この発明の第３４の発明は、第１の平均転位密度を有する結晶からなる第１の領域中に第１の平均転位密度より高い第２の平均転位密度を有する複数の第２の領域が第１の方向に第１の間隔で規則的に配列し、第１の方向と直交する第２の方向に第１の間隔より小さい第２の間隔で規則的に配列している半導体基板の主面上に素子構造を形成する半導体層を成長させることにより半導体素子を製造するようにした半導体素子の製造方法であって、半導体層が半導体基板の主面上で第２の領域と直接接触しないようにしたことを特徴とするものである。

【００６９】この発明の第３５の発明は、第１の平均欠陥密度を有する結晶からなる第１の領域中に第１の平均欠陥密度より高い第２の平均欠陥密度を有する複数の第２の領域が第１の方向に第１の間隔で規則的に配列し、第１の方向と直交する第２の方向に第１の間隔より小さい第２の間隔で規則的に配列している半導体基板の主面上に素子構造を形成する半導体層を成長させることにより半導体素子を製造するようにした半導体素子の製造方法であって、半導体層が半導体基板の主面上で第２の領域と直接接触しないようにしたことを特徴とするものである。

【0070】この発明の第36の発明は、結晶からなる第1の領域中にこの第1の領域より結晶性が悪い複数の第2の領域が第1の方向に第1の間隔で規則的に配列し、第1の方向と直交する第2の方向に第1の間隔より小さい第2の間隔で規則的に配列している半導体基板の主面上に素子構造を形成する半導体層を成長させることにより半導体素子を製造するようにした半導体素子の製造方法であって、半導体層が半導体基板の主面上で第2

の領域と直接接触しないようにしたことを特徴とするものである。

【００７１】この発明の第３７の発明は、第１の平均転位密度を有する結晶からなる第１の領域中に第１の平均転位密度より高い第２の平均転位密度を有する直線状に延在する複数の第２の領域が互いに平行に規則的に配列している半導体基板の主面上に素子構造を形成する半導体層を成長させることにより半導体素子を製造するようにした半導体素子の製造方法であって、半導体層が半導体基板の主面上で第２の領域と直接接触しないようにしたことを特徴とするものである。

【００７２】この発明の第３８の発明は、第１の平均欠陥密度を有する結晶からなる第１の領域中に第１の平均欠陥密度より高い第２の平均欠陥密度を有する直線状に延在する複数の第２の領域が互いに平行に規則的に配列している半導体基板の主面上に素子構造を形成する半導体層を成長させることにより半導体素子を製造するようにした半導体素子の製造方法であって、半導体層が半導体基板の主面上で第２の領域と直接接触しないようにしたことを特徴とするものである。

【0073】この発明の第39の発明は、結晶からなる第1の領域中にこの第1の領域より結晶性が悪い直線状に延在する複数の第2の領域が互いに平行に規則的に配列している半導体基板の主面上に素子構造を形成する半導体層を成長させることにより半導体素子を製造するようにした半導体素子の製造方法であって、半導体層が半導体基板の主面上で第2の領域と直接接触しないようにしたことを特徴とするものである。

【００７４】この発明の第４０の発明は、第１の平均転位密度を有する結晶からなる第１の領域中に第１の平均転位密度より高い第２の平均転位密度を有する複数の第２の領域が第１の方向に第１の間隔で規則的に配列し、第１の方向と直交する第２の方向に第１の間隔より小さい第２の間隔で規則的に配列している基板の主面上に素子構造を形成する層を成長させることにより素子を製造するようにした素子の製造方法であって、層が基板の主面上で第２の領域と直接接触しないようにしたことを特徴とするものである。

【００７５】この発明の第４１の発明は、第１の平均欠陥密度を有する結晶からなる第１の領域中に第１の平均欠陥密度より高い第２の平均欠陥密度を有する複数の第２の領域が第１の方向に第１の間隔で規則的に配列し、第１の方向と直交する第２の方向に第１の間隔より小さい第２の間隔で規則的に配列している基板の主面上に素子構造を形成する層を成長させることにより素子を製造するようにした素子の製造方法であって、層が基板の主面上で第２の領域と直接接触しないようにしたことを特徴とするものである。

【0076】この発明の第42の発明は、結晶からなる第1の領域中にこの第1の領域より結晶性が悪い複数の



第2の領域が第1の方向に第1の間隔で規則的に配列し、第1の方向と直交する第2の方向に第1の間隔より小さい第2の間隔で規則的に配列している基板の主面上に素子構造を形成する層を成長させることにより素子を製造するようにした素子の製造方法であって、層が基板の主面上で第2の領域と直接接触しないようにしたことを特徴とするものである。

【0077】この発明の第43の発明は、第1の平均転位密度を有する結晶からなる第1の領域中に第1の平均転位密度より高い第2の平均転位密度を有する直線状に延在する複数の第2の領域が互いに平行に規則的に配列している基板の主面上に素子構造を形成する層を成長させることにより素子を製造するようにした素子の製造方法であって、層が基板の主面上で第2の領域と直接接触しないようにしたことを特徴とするものである。

【0078】この発明の第44の発明は、第1の平均欠陥密度を有する結晶からなる第1の領域中に第1の平均欠陥密度より高い第2の平均欠陥密度を有する直線状に延在する複数の第2の領域が互いに平行に規則的に配列している基板の主面上に素子構造を形成する層を成長させることにより素子を製造するようにした素子の製造方法であって、層が基板の主面上で第2の領域と直接接触しないようにしたことを特徴とするものである。

【0079】この発明の第45の発明は、結晶からなる第1の領域中にこの第1の領域より結晶性が悪い直線状に延在する複数の第2の領域が互いに平行に規則的に配列している基板の主面上に素子構造を形成する層を成長させることにより素子を製造するようにした素子の製造方法であって、層が基板の主面上で第2の領域と直接接触しないようにしたことを特徴とするものである。

【0080】この発明の第16～第45の発明において、第1の方向の第2の領域の間隔（第1の間隔）あるいは直線状に延在する第2の領域の間隔は、この発明の第1の発明に関連して述べた第2の領域の間隔あるいは第2の領域の配列間隔と同様である。また、第1の方向の第2の領域の間隔（第1の間隔）あるいは直線状に延在する第2の領域の間隔は、典型的には $50\mu\text{m}$ 以上であることを除いて、この発明の第1の発明に関連して述べた第2の領域の間隔あるいは第2の領域の配列間隔と同様である。この発明の第16～第18、第22～第24、第28～第30、第34～第36、第40～第42の発明において、第2の方向の第2の領域の間隔は、基本的には第1の間隔より小さい範囲で自由に選ぶことができものであり、第2の領域の大きさにもよるが、一般的には $10\mu\text{m}$ 以上 $1000\mu\text{m}$ 以下、典型的には $20\mu\text{m}$ 以上 $200\mu\text{m}$ 以下である。さらに、最終的に基板のスクライビングによりチップとなる領域（以下「素子領域」という。）には、典型的には、第2の方向の第2の領域の列あるいは直線状に延在する第2の領域は実質的に7本以上含まれない。ここで、第2の方向の第2の

領域の列あるいは直線状に延在する第2の領域の数の上限を7本としたのは、第2の方向の第2の領域の列あるいは直線状に延在する第2の領域の間隔によっては、素子のチップサイズとの関係で素子領域に7本程度含まれることもあり得ることを考慮したものである。この第2の方向の第2の領域の列あるいは直線状に延在する第2の領域の数は、一般にチップサイズが小さい半導体発光素子では、典型的には3本以下である。

【0081】この発明の第16～第45の発明においては、上記以外のことは、その性質に反しない限り、この発明の第1～第15の発明に関連して述べたことが成立する。

【0082】この発明の第46の発明は、第1の平均転位密度を有する結晶からなる第1の領域中に第1の平均転位密度より高い第2の平均転位密度を有する第2の領域を有する窒化物系III-V族化合物半導体基板の主面上に窒化物系III-V族化合物半導体層を成長させるようにした窒化物系III-V族化合物半導体層の成長方法であって、窒化物系III-V族化合物半導体層が窒化物系III-V族化合物半導体基板の主面上で第2の領域と直接接触しないようにしたことを特徴とするものである。

【0083】この発明の第47の発明は、第1の平均欠陥密度を有する結晶からなる第1の領域中に第1の平均欠陥密度より高い第2の平均欠陥密度を有する第2の領域を有する窒化物系III-V族化合物半導体基板の主面上に窒化物系III-V族化合物半導体層を成長させるようにした窒化物系III-V族化合物半導体層の成長方法であって、窒化物系III-V族化合物半導体層が窒化物系III-V族化合物半導体基板の主面上で第2の領域と直接接触しないようにしたことを特徴とするものである。

【0084】この発明の第48の発明は、結晶からなる第1の領域中にこの第1の領域より結晶性が悪い第2の領域を有する窒化物系III-V族化合物半導体基板の主面上に窒化物系III-V族化合物半導体層を成長させるようにした窒化物系III-V族化合物半導体層の成長方法であって、窒化物系III-V族化合物半導体層が窒化物系III-V族化合物半導体基板の主面上で第2の領域と直接接触しないようにしたことを特徴とするものである。

【0085】この発明の第49の発明は、第1の平均転位密度を有する結晶からなる第1の領域中に第1の平均転位密度より高い第2の平均転位密度を有する第2の領域を有する半導体基板の主面上に半導体層を成長させるようにした半導体層の成長方法であって、半導体層が半導体基板の主面上で第2の領域と直接接触しないようにしたことを特徴とするものである。

【0086】この発明の第50の発明は、第1の平均欠陥密度を有する結晶からなる第1の領域中に第1の平均

欠陥密度より高い第2の平均欠陥密度を有する第2の領域を有する半導体基板の主面上に半導体層を成長させるようにした半導体層の成長方法であって、半導体層が半導体基板の主面上で第2の領域と直接接触しないようにしたことを特徴とするものである。

【0087】この発明の第51の発明は、結晶からなる第1の領域中にこの第1の領域より結晶性が悪い第2の領域を有する基板の主面上に半導体層を成長させるようにした半導体層の成長方法であって、半導体層が半導体基板の主面上で第2の領域と直接接触しないようにしたことを特徴とするものである。

【0088】この発明の第52の発明は、第1の平均転位密度を有する結晶からなる第1の領域中に第1の平均転位密度より高い第2の平均転位密度を有する第2の領域を有する基板の主面上に層を成長させるようにした層の成長方法であって、層が基板の主面上で第2の領域と直接接触しないようにしたことを特徴とするものである。

【0089】この発明の第53の発明は、第1の平均欠陥密度を有する結晶からなる第1の領域中に第1の平均欠陥密度より高い第2の平均欠陥密度を有する第2の領域を有する基板の主面上に層を成長させるようにした層の成長方法であって、層が基板の主面上で第2の領域と直接接触しないようにしたことを特徴とするものである。

【0090】この発明の第54の発明は、結晶からなる第1の領域中にこの第1の領域より結晶性が悪い第2の領域を有する基板の主面上に層を成長させるようにした層の成長方法であって、層が基板の主面上で第2の領域と直接接触しないようにしたことを特徴とするものである。

【0091】この発明の第46～第54の発明において、窒化物系III-V族化合物半導体基板、窒化物系III-V族化合物半導体層、半導体基板、半導体層、基板、層の材料については、この発明の第1～第15の発明に関連して述べたことと同様である。

【0092】上述のように構成されたこの発明においては、発光素子構造あるいは素子構造を形成する窒化物系III-V族化合物半導体層、あるいは半導体層、あるいは各種の材料からなる層が、窒化物系III-V族化合物半導体基板、あるいは半導体基板、あるいは基板の主面上で、第1の領域より平均転位密度が高い、あるいは平均欠陥密度が高い、あるいは結晶性が悪い第2の領域と直接接触しないようにしているので、発光素子構造あるいは素子構造を形成する窒化物系III-V族化合物半導体層、あるいは半導体層、あるいは各種の材料からなる層に第2の領域による悪影響が及ぶのを防止することができる。

【0093】

【発明の実施の形態】以下、この発明の実施形態につい

て図面を参照しながら説明する。なお、実施形態の全図において、同一または対応する部分には同一の符号を付す。図1および図2はこの発明の第1の実施形態において用いるGaN基板1を示し、図1Aは斜視図、図1Bは領域Bの最近接方向の断面図、図2は平面図である。このGaN基板1はn型で(0001)面(C面)方位である。ただし、GaN基板1はR面、A面またはM面方位のものであってもよい。このGaN基板1においては、平均転位密度が低い結晶からなる領域Aの中に、平均転位密度が高い結晶からなる領域Bが六方格子状に周期的に配列している。ここで、領域Bは不定多角柱状の形状を有するのが一般的であるが、図1Aにおいては、簡略化して円柱形状としてある(以下同様)。この場合、最近接の領域B同士を結ぶ直線はGaNの $\langle 1-100 \rangle$ 方向およびそれと等価な方向と一致している。ただし、最近接の領域B同士を結ぶ直線をGaNの $\langle 11-20 \rangle$ 方向およびそれと等価な方向と一致するようにしてもよい。領域BはGaN基板1を貫通している。このGaN基板1の厚さは例えば200～600 $\mu\text{m}$ である。なお、図2の破線は領域Bの相対的な位置関係を示すためのものにすぎず、実在する(物理的な意味のある)線ではない(以下同様)。

【0094】領域Bの配列周期(最近接の領域Bの中心同士の間隔)は例えば400 $\mu\text{m}$ 、その直径は例えば20 $\mu\text{m}$ である。また、領域Aの平均転位密度は例えば $2 \times 10^6 \text{ cm}^{-2}$ 、領域Bの平均転位密度は例えば $1 \times 10^8 \text{ cm}^{-2}$ である。領域Bの中心から半径方向の転位密度の分布の一例を図3に示す。このGaN基板1は、結晶成長技術を用いて例えば次のようにして製造することができる。このGaN基板1の製造に用いる基本的な結晶成長メカニズムは、ファセット面からなる斜面を有して成長させ、そのファセット面斜面を維持して成長させることで転位を伝播させ、所定の位置に集合させるものである。このファセット面により成長した領域は、転位の移動により、低密度の欠陥領域となる。そのファセット面斜面下部には、明確な境界を持った高密度の欠陥領域を有して成長が行われ、転位は、高密度の欠陥領域の境界あるいはその内部に集合し、ここで消滅あるいは蓄積する。この高密度の欠陥領域の形状によって、ファセット面の形状も異なる。欠陥領域がドット状の場合は、そのドットを底として、ファセット面が取り巻き、ファセット面からなるピットを形成する。また、欠陥領域がストライプ状の場合は、ストライプを谷底として、その両側にファセット面斜面を有し、横に倒した三角形のプリズム状のファセット面となる。その後、成長層の表面に研削、研磨を施すことにより、表面を平坦化し、基板として使用することができる形態とすることができる。また、上記の高密度の欠陥領域は、いくつかの状態があり得る。例えば、多結晶からなる場合がある。また、単結晶であるが、周りの低密度欠陥領域に対して微傾斜し

ている場合もある。また、周りの低密度欠陥領域に対して、C軸が反転している場合もある。こうして、この高密度欠陥領域は、明確な境界を有しており、周りとは区別される。この高密度欠陥領域を有して成長させることにより、その周りのファセット面を埋め込むことなく、ファセット面を維持して成長を進行することができる。この高密度欠陥領域は、下地基板上にGaNを結晶成長させる際に、高密度欠陥領域を形成する場所に、種をあらかじめ形成しておくことにより、発生させることができる。その種としては、非晶質あるいは多結晶の層を形成する。その上から、GaNを成長させることで、ちょうどその種の領域に、高密度欠陥領域を形成することができる。このGaN基板1の具体的な製造方法は次のとおりである。まず、下地基板を用意する。この下地基板としては種々の基板を用いることができ、一般的なサファイア基板でもよいが、後工程で除去することを考慮すると、除去しやすいGaAs基板などを用いることが好ましい。そして、この下地基板上に、例えばSiO<sub>2</sub>膜からなる種を形成する。この種の形状は、例えばドット状またはストライプ状とすることができる。この種は規則正しく、多数個形成することができる。より具体的には、この場合、種は、図2に示す領域Bの配置に対応した配置で形成する。その後、例えばハイドライド気相エピタキシー(HVPE)により、GaNを厚膜成長させる。成長後、GaNの厚膜層の表面には、種のパターン形状に応じたファセット面が形成される。この第1の実施形態のように種がドット状のパターンの場合、ファセット面からなるピットが規則正しく形成される。一方、種がストライプ状のパターンの場合、プリズム状のファセット面が形成される。その後、下地基板を除去し、さらにGaNの厚膜層を研削加工、研磨加工し、表面を平坦化する。これによって、GaN基板1を製造することができる。ここで、GaN基板1の厚さは、自由に設定することができる。このようにして製造されたGaN基板1は、C面が主面であり、その中に、所定のサイズのドット状(あるいはストライプ状)の高密度欠陥領域、すなわち領域Bが規則正しく形成された基板となっている。領域B以外の単結晶領域、すなわち領域Aは、領域Bに比べて低転位密度となっている。

【0095】図4にこのGaN基板1の領域Bに存在する転位を破線で模式的に示す。このようなGaN基板1上に図5に示すようにGaN系半導体層Lを成長させると、このGaN系半導体層Lには下地のGaN基板1の領域Bから転位が伝播して品質が低下する。

【0096】そこで、この第1の実施形態においては、図6に示すように、エッチングにより領域Bの上部を深さDだけ除去する。深さDは例えば1~10μmとする。こうすることで、領域Bの表面を、GaN基板1の主面から十分に離すことができる。そして、図7に示すように、このGaN基板1上に、有機金属化学気相成長

(MOCVD)法などにより素子構造を形成するGaN系半導体層Lを成長させる。このGaN系半導体層Lのうち領域Bの上に成長した部分には領域Bから転位が伝播するが、この転位が伝播する領域はごく一部に限定されるため、GaN基板1の主面上に成長したGaN系半導体層Lにその領域による悪影響が及ばないようにすることができる。

【0097】領域Bのエッチングは次のようにして行うことができる。一般に、GaNなどの窒化物系III-V族化合物半導体は化学的に安定で、高温の、水酸化ナトリウムなどの強アルカリ、強塩酸やリン酸などの酸を除けば、室温付近でウエットエッチングは起こらない。しかしながら、GaN基板1において領域Bは領域Aに比べて転位密度、より一般的には欠陥密度がずっと高い。この欠陥密度が高い領域Bでは領域Aに比べて結晶を構成する原子の結合状態が不完全であり、完全結晶に近い領域Aよりもエッチング速度が速いため、領域Bを領域Aに対して選択的にエッチングすることができる。このエッチングは、領域Aの表面をレジストなどでマスクして行ってもよいが、GaN基板1を全面エッチングすることによっても領域Bだけを選択的にエッチングすることができる。エッチング速度を上げるために、エッチング液の温度を高くしてエッチングを行ってもよい。エッチング液は、例えば、アルカリ溶液としては水酸化カリウム(KOH)、酸としてはリン酸などを用いることができる。エッチング方法の具体例を挙げると、エッチング槽中に入れたKOH溶液を75℃に加熱保持し、その中にGaN基板1を10分間浸し、エッチング終了後GaN基板1を取り出し、純水洗浄を行い、乾燥窒素のブローにより乾燥を行う。このエッチングにより、領域Bを約5μmの深さまで除去することができる。ここで、このエッチング時にGaN基板1の裏面がエッチングされて面荒れなどが発生するのを防止する目的で、必要に応じて、GaN基板1の裏面に例えば厚さ20nmのTi膜と厚さ300nmのPt膜とを順次積層したTi/Pt膜を真空蒸着法などにより形成して保護膜とし、その後エッチングを行うようにしてもよい。なお、このTi/Pt膜は例えば王水によりエッチング除去することができる。

【0098】領域Bのエッチングは上記のウエットエッチング以外に、例えば反応性イオンエッチング(RIE)のようなドライエッチングにより行ってもよく、水素雰囲気やアンモニア雰囲気などで800℃以上の温度で一定時間加熱保持することによる熱化学的エッチングにより行ってもよい。

【0099】次に、図6に示すGaN基板1を用いたGaN系半導体レーザの具体的な製造プロセスの一例を説明する。ここでは、リッジ構造およびSCH(Separate Confinement Heterostructure)構造を有するGaN系半導体レーザについて説明する。

【0100】すなわち、図8に示すように、まず、GaN基板1の表面をサーマルクリーニングなどにより清浄化した後、その上にMOCVD法により、n型GaNバッファ層5、n型AlGaNクラッド層6、n型GaN光導波層7、アンドープの $Ga_{1-x}In_xN/Ga_{1-y}In_yN$ 多重量子井戸構造の活性層8、アンドープInGaN劣化防止層9、p型AlGaNキャップ層10、p型GaN光導波層11、p型AlGaNクラッド層12およびp型GaNコンタクト層13を順次エピタキシャル成長させる。

【0101】ここで、n型GaNバッファ層5は厚さが例えば $0.05\mu m$ であり、n型不純物として例えばSiがドーピングされている。n型AlGaNクラッド層6は厚さが例えば $1.0\mu m$ であり、n型不純物として例えばSiがドーピングされ、Al組成は例えば0.08である。n型GaN光導波層7は厚さが例えば $0.1\mu m$ であり、n型不純物として例えばSiがドーピングされている。アンドープ $In_xGa_{1-x}N/In_yGa_{1-y}N$ 多重量子井戸構造の活性層8は、例えば、井戸層としての $In_xGa_{1-x}N$ 層の厚さが $3.5nm$ で $x=0.1$ 、障壁層としての $In_yGa_{1-y}N$ 層の厚さが $7nm$ で $y=0.02$ 、井戸数が3である。

【0102】アンドープInGaN劣化防止層9は、活性層8に接している面から、p型AlGaNキャップ層9に接している面に向かってIn組成が徐々に単調減少するグレーディッド構造を有し、活性層8に接している面におけるIn組成は活性層8の障壁層としての $In_yGa_{1-y}N$ 層のIn組成 $y$ と一致しており、p型AlGaNキャップ層10に接している面におけるIn組成は0となっている。このアンドープInGaN劣化防止層9の厚さは例えば $20nm$ である。

【0103】p型AlGaNキャップ層10は厚さが例えば $10nm$ であり、p型不純物として例えばマグネシウム(Mg)がドーピングされている。このp型AlGaNキャップ層10のAl組成は例えば0.2である。このp型AlGaNキャップ層10は、p型GaN光導波層11、p型AlGaNクラッド層12およびp型GaNコンタクト層13の成長時に活性層8からInが脱離して劣化するのを防止するとともに、活性層8からのキャリア(電子)のオーバーフローを防止するためのものである。p型GaN光導波層11は厚さが例えば $0.1\mu m$ であり、p型不純物として例えばMgがドーピングされている。p型AlGaNクラッド層12は厚さが例えば $0.5\mu m$ であり、p型不純物として例えばMgがドーピングされ、Al組成は例えば0.08である。p型GaNコンタクト層13は厚さが例えば $0.1\mu m$ であり、p型不純物として例えばMgがドーピングされている。

【0104】また、Inを含まない層であるn型GaNバッファ層5、n型AlGaNクラッド層6、n型GaN光導波層7、p型AlGaNキャップ層10、p型G

aN光導波層11、p型AlGaNクラッド層12およびp型GaNコンタクト層13の成長温度は例えば $1000^\circ C$ 程度とし、Inを含む層である $Ga_{1-x}In_xN/Ga_{1-y}In_yN$ 多重量子井戸構造の活性層8の成長温度は例えば $700\sim 800^\circ C$ 、例えば $730^\circ C$ とする。アンドープInGaN劣化防止層9の成長温度は、成長開始時点は活性層8の成長温度と同じく例えば $730^\circ C$ に設定し、その後例えば直線的に上昇させ、成長終了時点でp型AlGaNキャップ層10の成長温度と同じく例えば $835^\circ C$ になるようにする。

【0105】これらのGaN系半導体層の成長原料は、例えば、Gaの原料としてはトリメチルガリウム( $(CH_3)_3Ga$ 、TMG)、Alの原料としてはトリメチルアルミニウム( $(CH_3)_3Al$ 、TMA)、Inの原料としてはトリメチルインジウム( $(CH_3)_3In$ 、TMI)を、Nの原料としては $NH_3$ を用いる。また、キャリアガスとしては、例えば、 $H_2$ を用いる。ドーパントについては、n型ドーパントとしては例えばモノシラン( $SiH_4$ )を、p型ドーパントとしては例えばビス=メチルシクロペンタジエニルマグネシウム( $(CH_3C_5H_4)_2Mg$ )あるいはビス=シクロペンタジエニルマグネシウム( $(C_5H_5)_2Mg$ )を用いる。

【0106】次に、上述のようにしてGaN系半導体層を成長させたGaN基板1をMOCVD装置から取り出す。そして、p型GaNコンタクト層13の全面に例えばCVD法、真空蒸着法、スパッタリング法などにより例えば厚さが $0.1\mu m$ の $SiO_2$ 膜(図示せず)を形成した後、この $SiO_2$ 膜上にリソグラフィによりリッジ部の形状に対応した所定形状のレジストパターン(図示せず)を形成し、このレジストパターンをマスクとして、例えばフッ酸系のエッチング液を用いたウエットエッチング、または、 $CF_4$ や $CHF_3$ などのフッ素を含むエッチングガスを用いたRIE法により $SiO_2$ 膜をエッチングし、リッジ部に対応する形状とする。

【0107】次に、この $SiO_2$ 膜をマスクとしてRIE法によりp型AlGaNクラッド層12の厚さ方向の所定の深さまでエッチングを行うことにより、図9に示すように、 $\langle 1-100 \rangle$ 方向に延在するリッジ14を形成する。このリッジ14の幅は例えば $3\mu m$ である。このRIEのエッチングガスとしては例えば塩素系ガスを用いる。

【0108】次に、エッチングマスクとして用いた $SiO_2$ 膜をエッチング除去した後、基板全面に例えばCVD法、真空蒸着法、スパッタリング法などにより例えば厚さが $0.3\mu m$ の $SiO_2$ 膜のような絶縁膜15を成膜する。この絶縁膜15は電気絶縁および表面保護のためのものである。

【0109】次に、リソグラフィによりp側電極形成領域を除いた領域の絶縁膜15の表面を覆うレジストパ

10

20

30

40

50

ターン（図示せず）を形成する。次に、このレジストパターンをマスクとして絶縁膜15をエッチングすることにより、開口15aを形成する。

【0110】次に、レジストパターンを残したままの状態、基板全面に例えば真空蒸着法により例えばPd膜、Pt膜およびAu膜を順次形成した後、レジストパターンをその上に形成されたPd膜、Pt膜およびAu膜とともに除去する（リフトオフ）。これによって、絶縁膜15の開口15aを通じてp型GaNコンタクト層13にコンタクトしたp側電極16が形成される。ここで、このp側電極16を構成するPd膜、Pt膜およびAu膜の厚さは例えばそれぞれ10nm、100nmおよび300nmとする。次に、p側電極16をオーミック接触させるためのアロイ処理を行う。

【0111】次に、GaN基板1の裏面に例えば真空蒸着法により例えばTi膜、Pt膜およびAu膜を順次形成し、Ti/Pt/Au構造のn側電極17を形成する。ここで、このn側電極17を構成するTi膜、Pt膜およびAu膜の厚さは例えばそれぞれ10nm、50nmおよび100nmとする。次に、n側電極17をオーミック接触させるためのアロイ処理を行う。

【0112】次に、図10に示すように、素子領域2（太い実線で囲まれた一区画）の輪郭線に沿って、上述のようにしてレーザ構造が形成されたGaN基板1のスクライビングを劈開により行ってレーザバー4に加工して両共振器端面を形成する。次に、これらの共振器端面に端面コーティングを施した後、再びこのレーザバー4のスクライビングを劈開などにより行ってチップ化する。

【0113】図10においては、グレーの長方形が一つのGaN系半導体レーザを表し、その中央付近に描かれた直線がレーザストライプ3であり、これが発光領域の位置に相当する。さらに、それらが連なった破線で描かれた長方形がレーザバー4を表して、このレーザバー4の長辺が共振器端面に相当する。

【0114】図10に示す例においては、GaN系半導体レーザのサイズが例えば $600\mu\text{m} \times 346\mu\text{m}$ であり、横方向（長辺方向）は領域Bを結ぶ直線に沿って、縦方向（短辺方向）は領域Bを通らない直線に沿って、それぞれ基板のスクライビングを行うことによってそのサイズのGaN系半導体レーザに分離する。

【0115】この場合、領域Bは各GaN系半導体レーザの長辺の端面部分にのみ存在することになるので、レーザストライプ3が短辺の midpoint を結ぶ直線の近傍に位置するように素子の設計を行うことにより、領域Bの影響が発光領域に及ぶことを避けることができる。共振器のミラーについては、図10中の縦方向の直線に沿って、劈開などにより基板のスクライビングを行うことにより端面に形成されるが、その直線が領域Bを通らないので、領域Bにおける転位の影響を受けることはない。

したがって、発光特性が良く、信頼性が高いGaN系半導体レーザを得ることができる。以上により、図11に示すように、目的とするリッジ構造およびSCH構造を有するGaN系半導体レーザが製造される。

【0116】以上のように、この第1の実施形態によれば、平均転位密度が低い領域Aの中に平均転位密度が高い領域Bが六方格子状に周期的に配列しているGaN基板1のうち領域Bの上部をエッチングにより除去して領域Bの表面をGaN基板1の主面から離れた上で、このGaN基板1上にレーザ構造を形成するGaN系半導体層を成長させているので、レーザ構造の形成に使用されるGaN系半導体層に領域Bの悪影響が及ばないようにすることができる。このため、発光特性が良好で、信頼性が高く長寿命のGaN系半導体レーザを実現することができる。

【0117】加えて、この第1の実施形態によれば、活性層8に接してアンドープInGaN劣化防止層9が設けられ、このアンドープInGaN劣化防止層9に接してp型AlGaNキャップ層10が設けられているので、アンドープInGaN劣化防止層9により、p型AlGaNキャップ層10により活性層8に発生する応力を大幅に緩和することができるとともに、p型層のp型ドーパントとして用いられるMgが活性層7に拡散するのを有効に抑制することができる。

【0118】次に、この発明の第2の実施形態について説明する。図12に示すように、この第2の実施形態においては、GaN基板1の領域Bの全部をエッチングにより除去し、その部分を完全に空洞化する。そして、図13に示すように、このGaN基板1上にMOCVD法などによりGaN系半導体層Lを成長させる。上記以外のことは第1の実施形態と同様であるので、説明を省略する。この第2の実施形態によっても、第1の実施形態と同様な利点を得ることができる。

【0119】次に、この発明の第3の実施形態について説明する。図14に示すように、この第3の実施形態においては、第1の実施形態と同様にGaN基板1の領域Bの上部をエッチング除去するが、この場合、このエッチングは例えばRIEなどのドライエッチングにより行う。その後、領域Bの結晶性が領域Aの結晶性より悪いことを利用して、領域A上では成長が起きるが、領域B上では成長が起きないような成長条件でMOCVD法などによりGaN系半導体層Lを成長させる。この結果、GaN基板1の主面、すなわち領域A上のみGaN系半導体層Lが成長するようにすることができる。上記以外のことは第1の実施形態と同様であるので、説明を省略する。この第3の実施形態によっても、第1の実施形態と同様な利点を得ることができる。

【0120】次に、この発明の第4の実施形態について説明する。図15に示すように、この第4の実施形態においては、第1の実施形態と同様にGaN基板1の領域

Bの上部をエッチング除去する。この後、領域Bの結晶性が領域Aの結晶性より悪いことを利用して、領域A上では成長が起きるが、領域B上では成長が起きないような成長条件でGaN系半導体層Lを横方向成長させる。この結果、GaN基板1の主面、すなわち領域A上からGaN系半導体層Lが横方向成長して領域Bの上方で会合し、最終的に表面を平坦化することができる。ただし、GaN系半導体層Lを会合させず、平坦化させないでもよい。上記以外のことは第1の実施形態と同様であるので、説明を省略する。この第4の実施形態によっても、第1の実施形態と同様な利点を得ることができる。

【0121】次に、この発明の第5の実施形態について説明する。図16に示すように、この第5の実施形態においては、GaN基板1の主面のうち領域Bの部分を完全に覆うようにSiO<sub>2</sub>膜などの絶縁膜18を形成する。この絶縁膜18は、領域Bを完全に覆うことができればどのような形状であってもよく、例えば、領域Bの形状に合わせて円形としても、領域Bを含む四角形その他の多角形としても、さらには一列に並んだ領域Bおよびその間の部分の領域Aを完全に覆うストライプ形状としてもよい。次に、図17に示すように、このGaN基板1上にMOCVD法などによりGaN系半導体層Lを成長させる。このとき、絶縁膜18が成長マスクの役割を果たすため、この絶縁膜18で覆われていない部分におけるGaN基板1の主面上にのみGaN系半導体層Lが成長する。上記以外のことは第1の実施形態と同様であるので、説明を省略する。この第5の実施形態によっても、第1の実施形態と同様な利点を得ることができる。

【0122】次に、この発明の第6の実施形態について説明する。図18に示すように、この第6の実施形態においては、第5の実施形態と同様に、GaN基板1の主面のうち領域Bの部分を完全に覆うようにSiO<sub>2</sub>膜などの絶縁膜18を形成する。次に、図18および図19に示す過程を経て、GaN基板1上にMOCVD法などを用いてELOによりGaN系半導体層Lを横方向成長させる。このとき、絶縁膜18上で横方向成長するGaN系半導体層Lが会合する。ただし、GaN系半導体層Lを会合させないようにしてもよい。上記以外のことは第1の実施形態と同様であるので、説明を省略する。この第6の実施形態によっても、第1の実施形態と同様な利点を得ることができる。

【0123】次に、この発明の第7の実施形態について説明する。図20に示すように、この第7の実施形態においては、第1の実施形態と同様にGaN基板1の領域Bの上部をエッチング除去する。次に、GaN基板1の全面にSiO<sub>2</sub>膜などの絶縁膜18を形成し、領域Bの除去部を埋める。次に、図21に示すように、例えばRIE法により絶縁膜18のエッチバックを行うことにより、領域Bの除去部にのみこの絶縁膜18を残す。この

後、第5または第6の実施形態と同様に、GaN基板1上にGaN系半導体層Lを成長させる。上記以外のことは第1の実施形態と同様であるので、説明を省略する。この第7の実施形態によっても、第1の実施形態と同様な利点を得ることができる。

【0124】次に、この発明の第8の実施形態について説明する。図22に示すように、この第8の実施形態においては、第1の実施形態と同様にGaN基板1の領域Bの上部をエッチング除去する。次に、GaN基板1の全面にSiO<sub>2</sub>膜などの絶縁膜18を形成する。このとき、この絶縁膜18の厚さが、領域Bの除去部が完全に埋められない程度に小さいとする。次に、例えばRIE法により絶縁膜18のエッチバックを行うことにより、領域A上の絶縁膜18を除去する。この後、第5または第6の実施形態と同様に、GaN基板1上にGaN系半導体層Lを成長させる。上記以外のことは第1の実施形態と同様であるので、説明を省略する。この第8の実施形態によっても、第1の実施形態と同様な利点を得ることができる。

【0125】次に、この発明の第9の実施形態について説明する。図23に示すように、この第9の実施形態においては、第1の実施形態と同様にGaN基板1の領域Bの上部をエッチング除去する。次に、GaN基板1の全面にSiO<sub>2</sub>膜などの絶縁膜18を形成し、領域Bの除去部を埋めた後、この絶縁膜18をエッチングにより第5の実施形態と同様な形状にパターンニングする。この後、第5または第6の実施形態と同様に、GaN基板1上にGaN系半導体層Lを成長させる。上記以外のことは第1の実施形態と同様であるので、説明を省略する。この第9の実施形態によっても、第1の実施形態と同様な利点を得ることができる。

【0126】次に、この発明の第10の実施形態について説明する。図24に示すように、この第10の実施形態においては、第1の実施形態と同様にGaN基板1の領域Bの上部をエッチング除去するが、この場合、エッチング深さは十分に大きく、例えば数十μm程度とする。次に、図25に示すように、GaN基板1の全面にSiO<sub>2</sub>膜などの絶縁膜18を形成する。このとき、領域Bの除去部が深いため、この除去部は絶縁膜18によって完全には埋められず、内部に空洞が形成されるとする。次に、例えばRIE法により絶縁膜18のエッチバックを行うことにより、領域A上の絶縁膜18を除去する。この後、第5または第6の実施形態と同様に、GaN基板1上にGaN系半導体層Lを成長させる。上記以外のことは第1の実施形態と同様であるので、説明を省略する。この第10の実施形態によっても、第1の実施形態と同様な利点を得ることができる。

【0127】次に、この発明の第11の実施形態について説明する。図27に示すように、この第11の実施形態においては、GaN基板1の領域Aの中に領域Bが六

方格子状に周期的に配列していることは第1の実施形態と同様であるが、領域Aと領域Bとの間に、領域Aの平均転位密度と領域Bの平均転位密度との中間的な平均転位密度の領域Cが遷移領域として形成されていることが第1の実施形態と異なる。具体的には、領域Aの平均転位密度は $2 \times 10^6 \text{ cm}^{-2}$ 以下、領域Bの平均転位密度は $1 \times 10^8 \text{ cm}^{-2}$ 以上、領域Cの平均転位密度は $1 \times 10^8 \text{ cm}^{-2}$ より小さく、 $2 \times 10^6 \text{ cm}^{-2}$ より大きく、例えば $(1 \sim 2) \times 10^7 \text{ cm}^{-2}$ 程度である。領域Bの配列周期（最近接の領域Bの中心同士の間隔）は例えば $300 \mu\text{m}$ 、その直径は例えば $20 \mu\text{m}$ である。また、領域Cの直径は例えば $120 \mu\text{m}$ である。

【0128】この第11の実施形態においては、第1の実施形態においてはGaN基板1の領域Bの上部をエッチングにより除去したのに対し、GaN基板1の領域Bおよび領域Cの両方の上部をエッチングにより除去する。上記以外のことは第1の実施形態と同様であるので、説明を省略する。この第11の実施形態によっても、第1の実施形態と同様な利点を得ることができる。

【0129】次に、この発明の第12の実施形態について説明する。この第12の実施形態においては、第2の実施形態においてはGaN基板1の領域Bの全部をエッチングにより除去したのに対し、GaN基板1の領域Bおよび領域Cの両方の全部をエッチングにより除去する。上記以外のことは第1および第11の実施形態と同様であるので、説明を省略する。この第12の実施形態によっても、第1の実施形態と同様な利点を得ることができる。

【0130】次に、この発明の第13の実施形態について説明する。この第13の実施形態においては、第3の実施形態においてはGaN基板1の領域Bの上部をエッチングにより除去したのに対し、GaN基板1の領域Bおよび領域Cの両方の上部をエッチングにより除去する。上記以外のことは第1および第11の実施形態と同様であるので、説明を省略する。この第13の実施形態によっても、第1の実施形態と同様な利点を得ることができる。

【0131】次に、この発明の第14の実施形態について説明する。この第14の実施形態においては、第4の実施形態においてはGaN基板1の領域Bの上部をエッチングにより除去したのに対し、GaN基板1の領域Bおよび領域Cの両方の上部をエッチングにより除去する。上記以外のことは第1および第11の実施形態と同様であるので、説明を省略する。この第14の実施形態によっても、第1の実施形態と同様な利点を得ることができる。

【0132】次に、この発明の第15の実施形態について説明する。この第15の実施形態においては、第5の実施形態においてはGaN基板1の領域Bを絶縁膜18により覆ったのに対し、GaN基板1の領域Bおよび領

域Cの両方を絶縁膜18により覆う。上記以外のことは第1、第5および第11の実施形態と同様であるので、説明を省略する。この第15の実施形態によっても、第1の実施形態と同様な利点を得ることができる。

【0133】次に、この発明の第16の実施形態について説明する。この第16の実施形態においては、第6の実施形態においてはGaN基板1の領域Bを絶縁膜18により覆ったのに対し、GaN基板1の領域Bおよび領域Cの両方を絶縁膜18により覆う。上記以外のことは第1、第5および第11の実施形態と同様であるので、説明を省略する。この第16の実施形態によっても、第1の実施形態と同様な利点を得ることができる。

【0134】次に、この発明の第17の実施形態について説明する。この第17の実施形態においては、第7の実施形態においてはGaN基板1の領域Bの上部をエッチングにより除去したのに対し、GaN基板1の領域Bおよび領域Cの両方の上部をエッチングにより除去する。上記以外のことは第1、第5および第11の実施形態と同様であるので、説明を省略する。この第17の実施形態によっても、第1の実施形態と同様な利点を得ることができる。

【0135】次に、この発明の第18の実施形態について説明する。この第18の実施形態においては、第8の実施形態においてはGaN基板1の領域Bの上部をエッチングにより除去したのに対し、GaN基板1の領域Bおよび領域Cの両方の上部をエッチングにより除去する。上記以外のことは第1、第5および第11の実施形態と同様であるので、説明を省略する。この第18の実施形態によっても、第1の実施形態と同様な利点を得ることができる。

【0136】次に、この発明の第19の実施形態について説明する。この第19の実施形態においては、第9の実施形態においてはGaN基板1の領域Bの上部をエッチングにより除去したのに対し、GaN基板1の領域Bおよび領域Cの両方の上部をエッチングにより除去する。上記以外のことは第1、第5および第11の実施形態と同様であるので、説明を省略する。この第19の実施形態によっても、第1の実施形態と同様な利点を得ることができる。

【0137】次に、この発明の第20の実施形態について説明する。この第20の実施形態においては、第10の実施形態においてはGaN基板1の領域Bの上部をエッチングにより除去したのに対し、GaN基板1の領域Bおよび領域Cの両方の上部をエッチングにより除去する。上記以外のことは第1、第5および第11の実施形態と同様であるので、説明を省略する。この第20の実施形態によっても、第1の実施形態と同様な利点を得ることができる。

【0138】次に、この発明の第21の実施形態について説明する。図28に示すように、この第21の実施形

10

20

30

40

50

態においては、第1の実施形態と異なり、長方形の素子領域2の輪郭線は、その長辺および短辺とも、領域Bの中心同士を結ぶ直線からなる。この場合も、レーザストライプ3の位置は、素子領域2の短辺の中心同士を結ぶ線上とする。こうすることにより、領域Bの影響が発光領域に及ぶことを避けることができる。

【0139】この第21の実施形態においては、領域Bの中心同士を結ぶ直線からなる、素子領域2の輪郭線に沿って劈開によりスクライビングを行うことにより共振器のミラーが形成されることが第1の実施形態と異なっている。ここで、領域Bは転位が多いので、領域Aよりも壊れやすいと考えられる。したがって、領域B同士を結ぶ直線に沿ってスクライビングを行うと、領域Bがいわばミシン目のような役割を果たして領域Aの部分もきれいに劈開される。この際、領域Bの部分の端面は転位が多いため、必ずしも平坦にならないが、その間の領域Aの部分の端面は平坦となる。

【0140】平坦性が必要とされるのは、レーザストライプ3の端面部分であるが、図28に示すような配置であれば、領域Bの部分の端面は発光特性などに悪影響を及ぼさない。上記以外のことは第1の実施形態と同様であるので、説明を省略する。この第21の実施形態によっても、第1の実施形態と同様な利点を得ることができる。

【0141】次に、この発明の第22の実施形態について説明する。図29はこの第22の実施形態において用いるGaN基板を示す平面図である。図29に示すように、この第22の実施形態においては、領域Bがレーザストライプ3に含まれないように素子領域2が画定される。ここで、レーザストライプ3は領域Bから50μm以上離れている。この場合、素子領域2には2個の領域Bが含まれることになる。上記以外のことは第1の実施形態と同様であるので、説明を省略する。この第22の実施形態によれば、第1の実施形態と同様な利点を得ることができる。

【0142】次に、この発明の第23の実施形態について説明する。図30はこの第23の実施形態において用いるGaN基板を示す平面図である。このGaN基板1はn型でC面方位である。ただし、GaN基板1はR面、A面またはM面方位のものであってもよい。このGaN基板1においては、平均転位密度が低い結晶からなる領域Aの中に平均転位密度が高い結晶からなる領域BがGaNの〈11-20〉方向に例えば400μm間隔で周期的に配列し、〈11-20〉方向と直交する〈1-100〉方向に例えば20~100μm間隔で周期的に配列している。ただし、〈11-20〉方向と〈1-100〉方向とを入れ替えてもよい。

【0143】この第23の実施形態においては、図31に示すように、レーザストライプ3に平行な一対の端面が〈1-100〉方向の領域Bの列を通り、かつ、レー

ザストライプ3がこの領域Bの列の間の領域の中央付近に位置するように素子領域2が画定される。この場合、素子領域2には領域Bの列は実質的に含まれない。上記以外のことは第1の実施形態と同様であるので、説明を省略する。この第23の実施形態によれば、第1の実施形態と同様な利点を得ることができる。

【0144】次に、この発明の第24の実施形態について説明する。図32に示すように、この第24の実施形態においては、第23の実施形態と同様なGaN基板1を用いるが、レーザストライプ3に平行な一つの端面が〈1-100〉方向の領域Bの列を通り、他方の端面がこの領域Bの列から離れた位置を通る点で、第23の実施形態と異なる。この場合、素子領域2には領域Bの列は実質的に含まれない。上記以外のことは第23および第1の実施形態と同様であるので、説明を省略する。この第24の実施形態によれば、第1の実施形態と同様な利点を得ることができる。

【0145】次に、この発明の第25の実施形態について説明する。図33に示すように、この第25の実施形態においては、第23の実施形態と同様なGaN基板1を用いるが、レーザストライプ3に平行な一対の端面がいずれも〈1-100〉方向の領域Bの列の間に位置し、かつ、レーザストライプ3がこの領域Bの列の間の領域の中央付近に位置するように素子領域2が画定される点で、第23の実施形態と異なる。この場合、素子領域2には領域Bの列は実質的に含まれない。上記以外のことは第23および第1の実施形態と同様であるので、説明を省略する。この第25の実施形態によれば、第1の実施形態と同様な利点を得ることができる。

【0146】次に、この発明の第26の実施形態について説明する。図34に示すように、この第26の実施形態においては、第23の実施形態と同様なGaN基板1を用いるが、レーザストライプ3に平行な一つの端面が〈1-100〉方向の領域Bの列を通り、他方の端面がこの領域Bの列に直ぐ隣接する領域Bの列とその次の領域Bの列との間に位置し、かつ、レーザストライプ3が領域Bの列から50μm以上離れた位置を通る点で、第23の実施形態と異なる。この場合、素子領域2には領域Bの列は1本含まれる。上記以外のことは第23および第1の実施形態と同様であるので、説明を省略する。この第26の実施形態によれば、第1の実施形態と同様な利点を得ることができる。

【0147】次に、この発明の第27の実施形態について説明する。図35に示すように、この第27の実施形態においては、第23の実施形態と同様なGaN基板1を用いるが、レーザストライプ3に平行な一つの端面が〈1-100〉方向の領域Bの列から離れた位置を通り、他方の端面がこの領域Bの列に直ぐ隣接する領域Bの列とその次の領域Bの列との間に位置し、かつ、レーザストライプ3が領域Bの列から50μm以上離れた位置

10

20

30

40

50



置を通る点で、第23の実施形態と異なる。この場合、素子領域2には領域Bの列は1本含まれる。上記以外のことは第23および第1の実施形態と同様であるので、説明を省略する。この第27の実施形態によれば、第1の実施形態と同様な利点を得ることができる。

【0148】次に、この発明の第28の実施形態について説明する。図36はこの第28の実施形態において用いるGaN基板1を示す平面図である。このGaN基板1は、領域BがGaNの〈11-20〉方向に例えば200μm間隔で周期的に配列していることを除いて、第10の実施形態において用いたGaN基板1と同様である。この場合、素子領域2には領域Bの列は2本含まれる。

【0149】図36に示すように、この第28の実施形態においては、レーザストライプ3が隣接する領域Bの列の間の領域の中央付近に位置し、かつ、レーザストライプ3に平行な一対の端面がこれらの領域Bの列とそれらの直ぐ外側の領域Bの列との間の領域の中央付近に位置する。上記以外のことは第23および第1の実施形態と同様であるので、説明を省略する。この第28の実施形態によれば、第1の実施形態と同様な利点を得ることができる。

【0150】次に、この発明の第29の実施形態について説明する。図37はこの第29の実施形態において用いるGaN基板を示す平面図である。このGaN基板1はn型でC面方位である。ただし、GaN基板1はR面、A面またはM面方位のものであってもよい。このGaN基板1においては、平均転位密度が低い結晶からなる領域Aの中に、平均転位密度が高い結晶からなり、GaNの〈1-100〉方向に線状に延在する領域Bが、〈1-100〉方向と直交する〈11-20〉方向に例えば400μm間隔で周期的に配列している。ただし、〈1-100〉方向と〈11-20〉方向とを入れ替えてもよい。

【0151】この第29の実施形態においては、図38に示すように、レーザストライプ3に平行な一対の端面が領域Bを通り、かつ、レーザストライプ3がこの領域Bの間の領域の中央付近に位置するように素子領域2が画定される。この場合、素子領域2には領域Bの列は実質的に含まれない。上記以外のことは第1の実施形態と同様であるので、説明を省略する。この第29の実施形態によれば、第1の実施形態と同様な利点を得ることができる。

【0152】次に、この発明の第30の実施形態について説明する。図39に示すように、この第30の実施形態においては、第29の実施形態と同様なGaN基板1を用いるが、レーザストライプ3に平行な一つの端面が領域Bを通り、他方の端面がこの領域Bの列から離れた位置を通る点で、第29の実施形態と異なる。この場合、素子領域2には領域Bの列は実質的に含まれない。

上記以外のことは第29および第1の実施形態と同様であるので、説明を省略する。この第30の実施形態によれば、第1の実施形態と同様な利点を得ることができる。

【0153】次に、この発明の第31の実施形態について説明する。図40に示すように、この第31の実施形態においては、第29の実施形態と同様なGaN基板1を用いるが、レーザストライプ3に平行な一対の端面がいずれも領域Bの間に位置し、かつ、レーザストライプ3がこの領域Bの間の領域の中央付近に位置するように素子領域2が画定される点で、第29の実施形態と異なる。この場合、素子領域2には領域Bの列は実質的に含まれない。上記以外のことは第29および第1の実施形態と同様であるので、説明を省略する。この第31の実施形態によれば、第1の実施形態と同様な利点を得ることができる。

【0154】次に、この発明の第32の実施形態について説明する。図41に示すように、この第32の実施形態においては、第29の実施形態と同様なGaN基板1を用いるが、レーザストライプ3に平行な一つの端面が領域Bを通り、他方の端面がこの領域Bの列に直ぐ隣接する領域Bとその次の領域Bとの間に位置し、かつ、レーザストライプ3が領域Bから50μm以上離れた位置を通る点で、第29の実施形態と異なる。この場合、素子領域2には領域Bは1本含まれる。上記以外のことは第29および第1の実施形態と同様であるので、説明を省略する。この第32の実施形態によれば、第1の実施形態と同様な利点を得ることができる。

【0155】次に、この発明の第33の実施形態について説明する。図42に示すように、この第33の実施形態においては、第29の実施形態と同様なGaN基板1を用いるが、レーザストライプ3に平行な一つの端面が領域Bから離れた位置を通り、他方の端面がこの領域Bに直ぐ隣接する領域Bとその次の領域Bとの間に位置し、かつ、レーザストライプ3が領域Bから50μm以上離れた位置を通る点で、第29の実施形態と異なる。この場合、素子領域2には領域Bの列は1本含まれる。上記以外のことは第29および第1の実施形態と同様であるので、説明を省略する。この第33の実施形態によれば、第1の実施形態と同様な利点を得ることができる。

【0156】次に、この発明の第34の実施形態について説明する。図43はこの第34の実施形態において用いるGaN基板1を示す平面図である。このGaN基板1は、領域BがGaNの〈11-20〉方向に例えば200μm間隔で周期的に配列していることを除いて、第29の実施形態において用いたGaN基板1と同様である。この場合、素子領域2には領域Bの列は2本含まれる。

【0157】図43に示すように、この第34の実施形

態においては、レーザストライプ3が隣接する領域Bの間の領域の中央付近に位置し、かつ、レーザストライプ3に平行な一対の端面がこれらの領域Bとそれらの直ぐ外側の領域Bとの間の領域の中央付近に位置する。上記以外のことは第29および第1の実施形態と同様であるので、説明を省略する。この第34の実施形態によれば、第1の実施形態と同様な利点を得ることができる。

【0158】以上、この発明の実施形態について具体的に説明したが、この発明は、上述の実施形態に限定されるものではなく、この発明の技術的思想に基づく各種の変形が可能である。

【0159】例えば、上述の実施形態において挙げた数値、構造、基板、原料、プロセスなどはあくまでも例に過ぎず、必要に応じて、これらと異なる数値、構造、基板、原料、プロセスなどを用いてもよい。

【0160】具体的には、例えば、上述の実施形態においては、この発明をSCH構造のGaN系半導体レーザの製造に適用した場合について説明したが、この発明は、例えば、DH (Double Heterostructure) 構造のGaN系半導体レーザの製造に適用してもよいことはもちろん、GaN系発光ダイオードの製造に適用してもよく、さらにはGaN系FETやGaN系ヘテロ接合バイポーラトランジスタ (HBT) などの窒化物系III-V族化合物半導体を用いた電子走行素子に適用してもよい。

【0161】また、上述の実施形態において、GaN基板1がサファイア基板などの異種基板上に設けられたものであってもよい。

【0162】また、上述の実施形態においては、GaN系半導体層の成長にMOCVD法を用いているが、GaN系半導体層の成長には、ハイドライド気相エピタキシャル成長またはハライド気相エピタキシャル成長 (HVPE) や分子線エピタキシー (MBE) 法などの他の成長方法を用いてもよい。

【0163】さらに、上述の実施形態においては、MOCVD法により成長を行う際のキャリアガスとしてH<sub>2</sub>ガスを用いているが、必要に応じて、他のキャリアガス、例えばH<sub>2</sub>とN<sub>2</sub>あるいはHe、Arガスなどとの混合ガスを用いてもよい。また、上述の実施形態においては、劈開により共振器端面を形成しているが、共振器端面は例えばRIEのようなドライエッチングにより形成してもよい。

【0164】

【発明の効果】以上説明したように、この発明によれば、発光素子構造あるいは素子構造を形成する窒化物系III-V族化合物半導体層、あるいは半導体層、あるいは各種の材料からなる層が、窒化物系III-V族化合物半導体基板、あるいは半導体基板、あるいは基板の主面上で、第1の領域より平均転位密度が高い、あるいは平均欠陥密度が高い、あるいは結晶性が悪い第2の領

域と直接接触しないようにしているので、発光素子構造あるいは素子構造を形成する窒化物系III-V族化合物半導体層、あるいは半導体層、あるいは各種の材料からなる層に第2の領域による悪影響が及ばないようにすることができる。このため、発光特性などの特性が良好で信頼性も高く長寿命の半導体発光素子あるいは特性が良好で信頼性も高く長寿命の半導体素子あるいは特性が良好で信頼性も高く長寿命の各種の素子を実現することができる。

【図面の簡単な説明】

【図1】この発明の第1の実施形態において用いるGaN基板を示す斜視図および断面図である。

【図2】この発明の第1の実施形態において用いるGaN基板を示す平面図である。

【図3】この発明の第1の実施形態において用いるGaN基板の領域Bの近傍における転位密度の分布の一例を示す略線図である。

【図4】この発明の第1の実施形態との比較例を説明するための断面図である。

【図5】この発明の第1の実施形態との比較例を説明するための断面図である。

【図6】この発明の第1の実施形態において用いるGaN基板を示す断面図である。

【図7】この発明の第1の実施形態においてGaN基板上にGaN系半導体層を成長させた状態を示す断面図である。

【図8】この発明の第1の実施形態によるGaN系半導体レーザの製造方法を説明するための断面図である。

【図9】この発明の第1の実施形態によるGaN系半導体レーザの製造方法を説明するための断面図である。

【図10】この発明の第1の実施形態によるGaN系半導体レーザの製造方法を説明するための平面図である。

【図11】この発明の第1の実施形態によるGaN系半導体レーザの製造方法を説明するための断面図である。

【図12】この発明の第2の実施形態において用いるGaN基板を示す断面図である。

【図13】この発明の第2の実施形態においてGaN基板上にGaN系半導体層を成長させた状態を示す断面図である。

【図14】この発明の第3の実施形態においてGaN基板上にGaN系半導体層を成長させた状態を示す断面図である。

【図15】この発明の第4の実施形態においてGaN基板上にGaN系半導体層を成長させた状態を示す断面図である。

【図16】この発明の第5の実施形態において用いるGaN基板を示す断面図である。

【図17】この発明の第5の実施形態においてGaN基板上にGaN系半導体層を成長させた状態を示す断面図である。

【図18】この発明の第6の実施形態においてGaN基板上にGaN系半導体層を成長させた状態を示す断面図である。

【図19】この発明の第6の実施形態においてGaN基板上にGaN系半導体層を成長させた状態を示す断面図である。

【図20】この発明の第7の実施形態において用いるGaN基板の製造方法を説明するための断面図である。

【図21】この発明の第7の実施形態において用いるGaN基板の製造方法を説明するための断面図である。

【図22】この発明の第8の実施形態において用いるGaN基板を示す断面図である。

【図23】この発明の第9の実施形態において用いるGaN基板を示す断面図である。

【図24】この発明の第10の実施形態において用いるGaN基板の製造方法を説明するための断面図である。

【図25】この発明の第10の実施形態において用いるGaN基板の製造方法を説明するための断面図である。

【図26】この発明の第10の実施形態において用いるGaN基板の製造方法を説明するための断面図である。

【図27】この発明の第11の実施形態において用いるGaN基板を示す断面図である。

【図28】この発明の第21の実施形態によるGaN系半導体レーザの製造方法を説明するための平面図である。

【図29】この発明の第22の実施形態によるGaN系半導体レーザの製造方法を説明するための平面図である。

【図30】この発明の第23の実施形態によるGaN系半導体レーザの製造方法を説明するための平面図である。

【図31】この発明の第23の実施形態によるGaN系半導体レーザの製造方法を説明するための平面図である。

【図32】この発明の第24の実施形態によるGaN系半導体レーザの製造方法を説明するための平面図である。

【図33】この発明の第25の実施形態によるGaN系半導体レーザの製造方法を説明するための平面図である。

\*【図34】この発明の第26の実施形態によるGaN系半導体レーザの製造方法を説明するための平面図である。

【図35】この発明の第27の実施形態によるGaN系半導体レーザの製造方法を説明するための平面図である。

【図36】この発明の第28の実施形態によるGaN系半導体レーザの製造方法を説明するための平面図である。

10 【図37】この発明の第29の実施形態によるGaN系半導体レーザの製造方法を説明するための平面図である。

【図38】この発明の第29の実施形態によるGaN系半導体レーザの製造方法を説明するための平面図である。

【図39】この発明の第30の実施形態によるGaN系半導体レーザの製造方法を説明するための平面図である。

20 【図40】この発明の第31の実施形態によるGaN系半導体レーザの製造方法を説明するための平面図である。

【図41】この発明の第32の実施形態によるGaN系半導体レーザの製造方法を説明するための平面図である。

【図42】この発明の第33の実施形態によるGaN系半導体レーザの製造方法を説明するための平面図である。

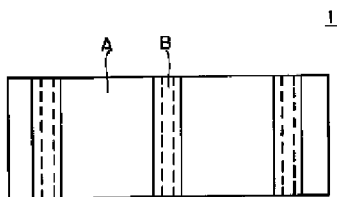
30 【図43】この発明の第34の実施形態によるGaN系半導体レーザの製造方法を説明するための平面図である。

#### 【符号の説明】

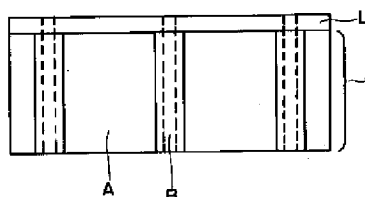
1・・・GaN基板、2・・・素子領域、3・・・レーザストライプ、5・・・n型GaNバッファ層、6・・・n型AlGaNクラッド層、7・・・n型GaN光導波層、8・・・活性層、9・・・アンドープInGaN劣化防止層、10・・・p型AlGaNキャップ層、11・・・p型GaN光導波層、12・・・p型AlGaNクラッド層、13・・・p型GaNコンタクト層、14・・・リッジ、15、18・・・絶縁膜、16・・・n側電極、17・・・p側電極

\*40

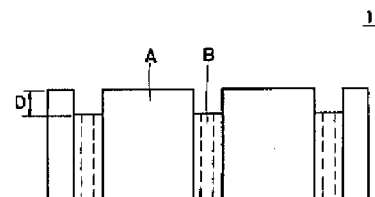
【図4】



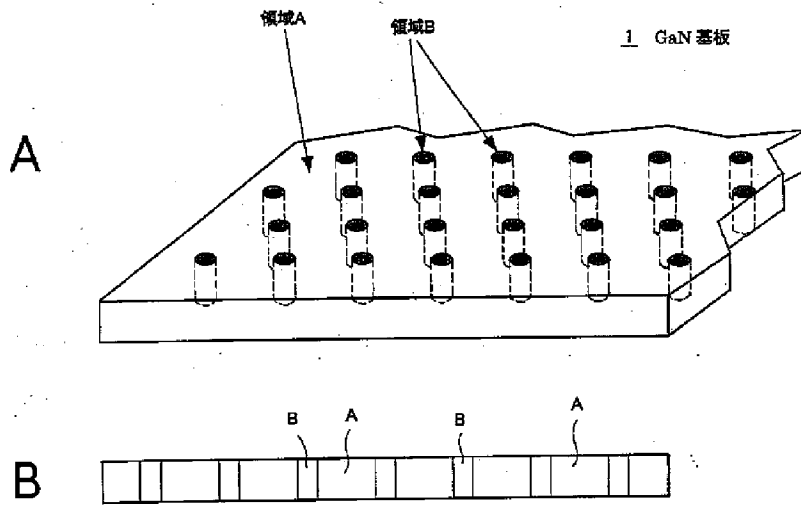
【図5】



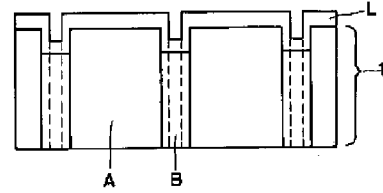
【図6】



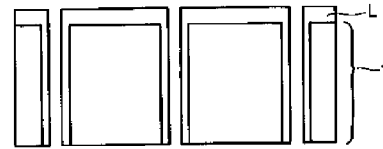
【図1】



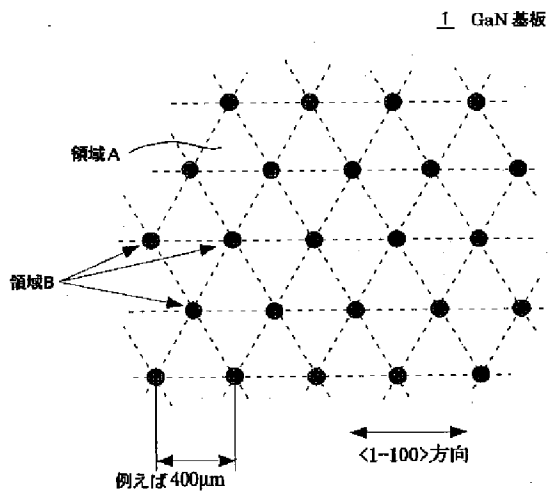
【図7】



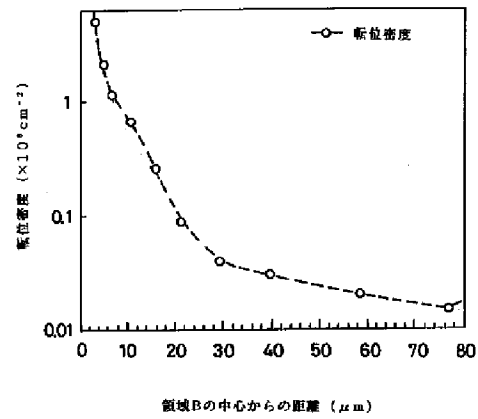
【図13】



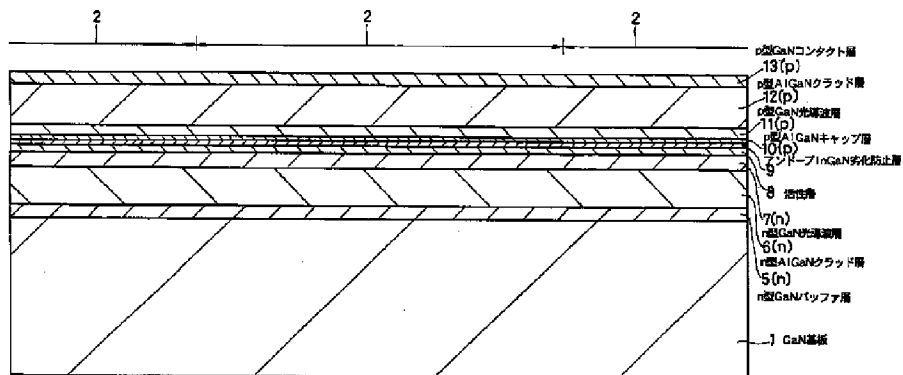
【図2】



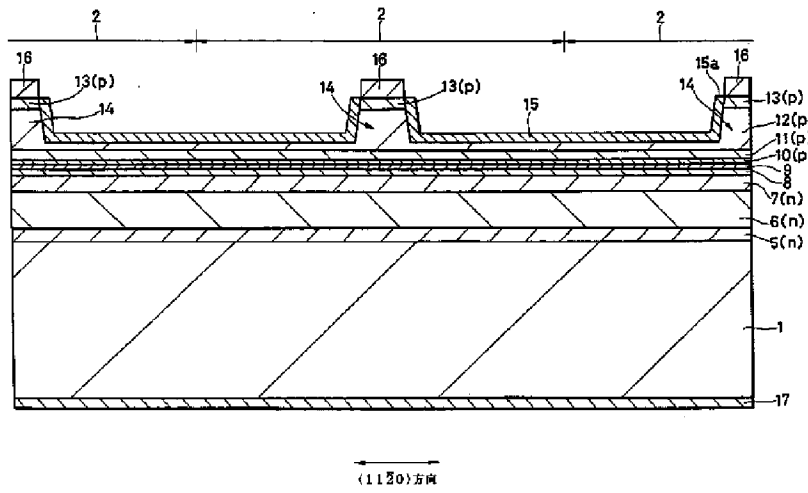
【図3】



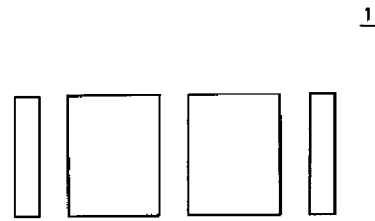
【図8】



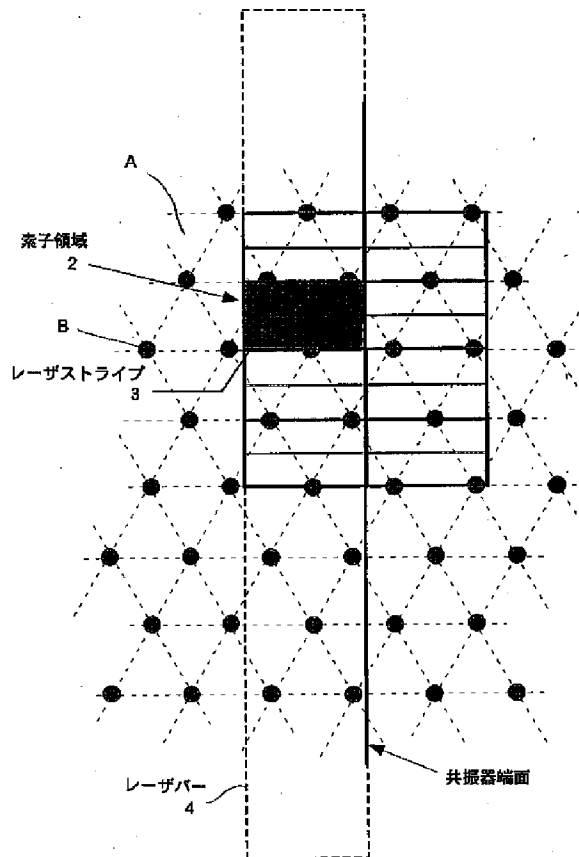
【図9】



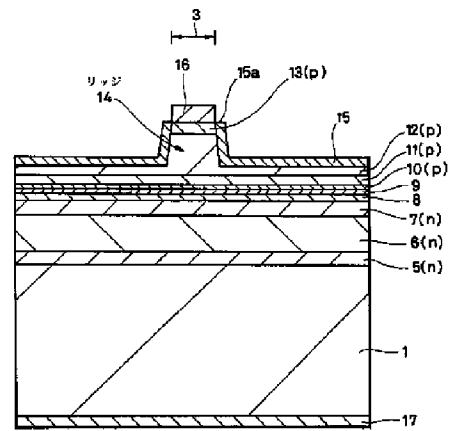
【図12】



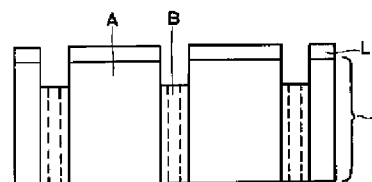
【図10】



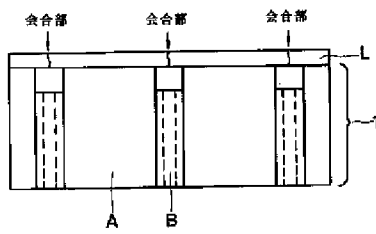
【図11】



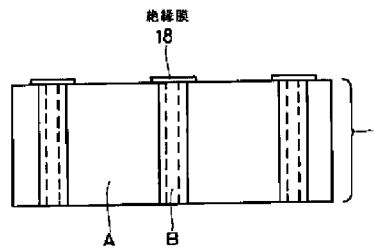
【図14】



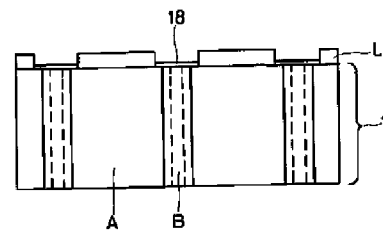
【図15】



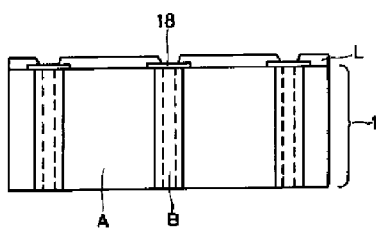
【図16】



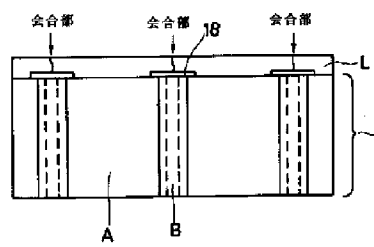
【図17】



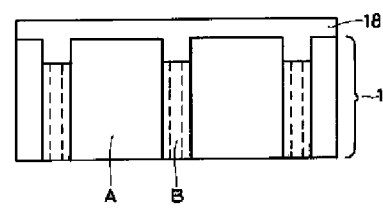
【図18】



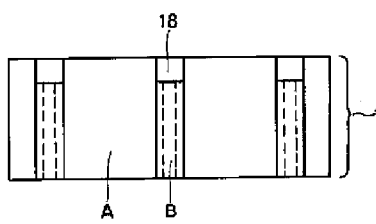
【図19】



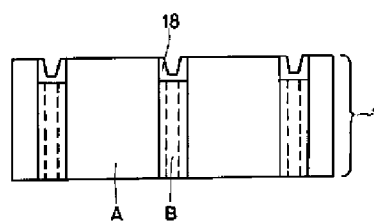
【図20】



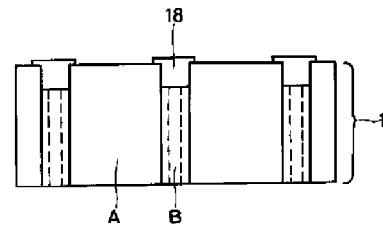
【図21】



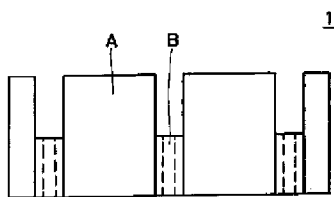
【図22】



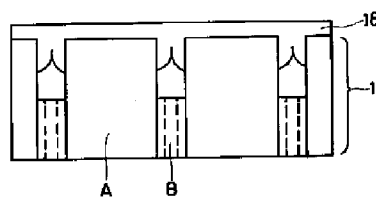
【図23】



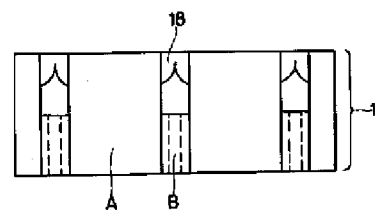
【図24】



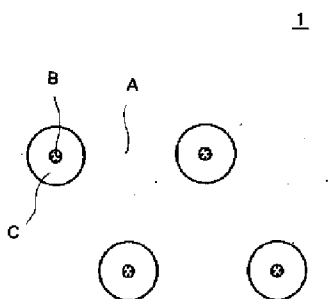
【図25】



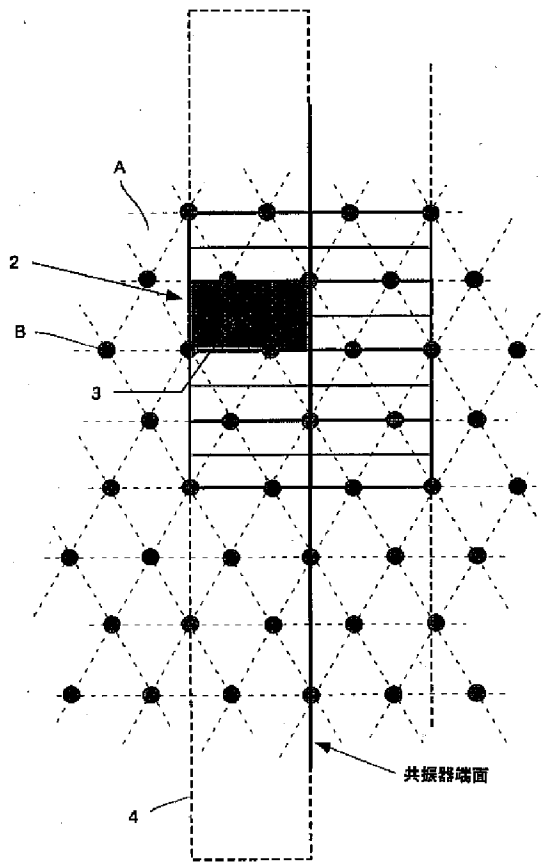
【図26】



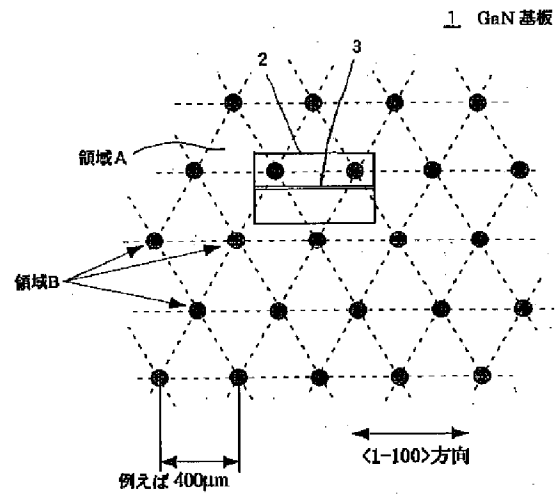
【図27】



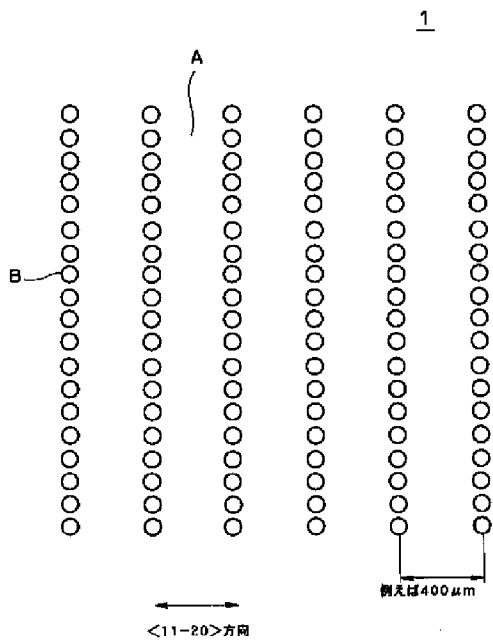
【図28】



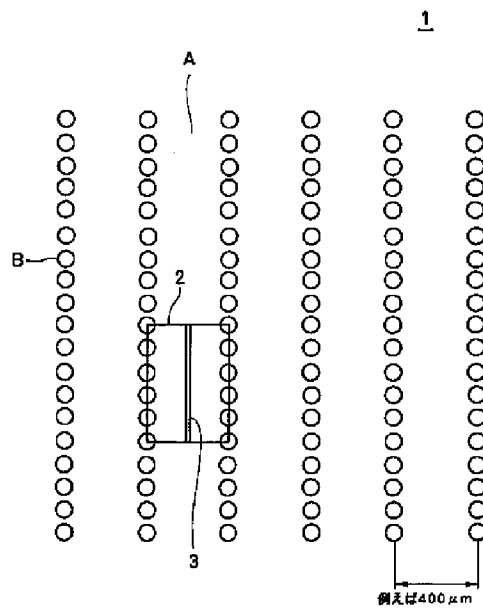
【図29】



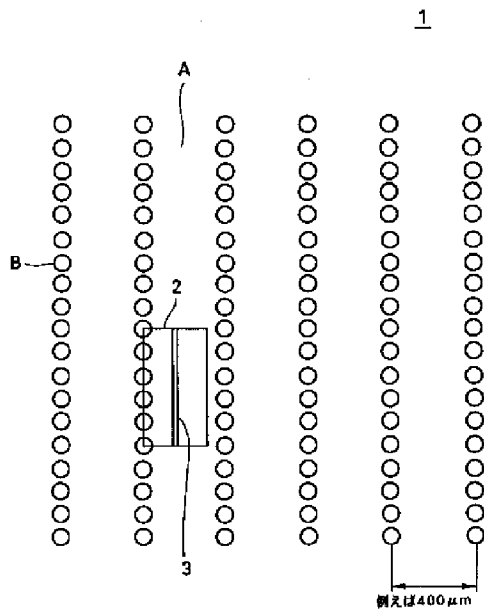
【図30】



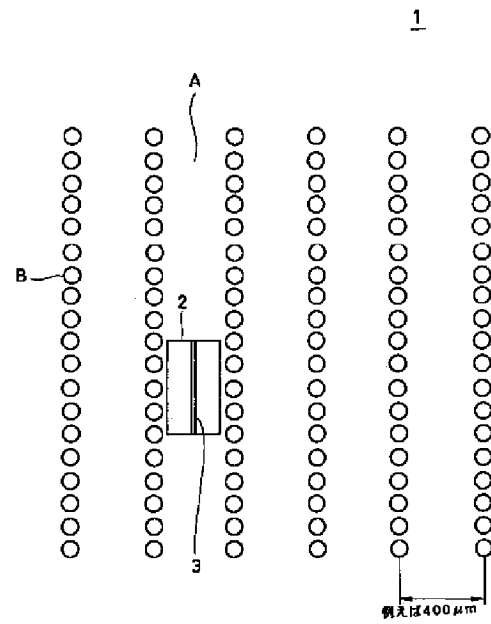
【図31】



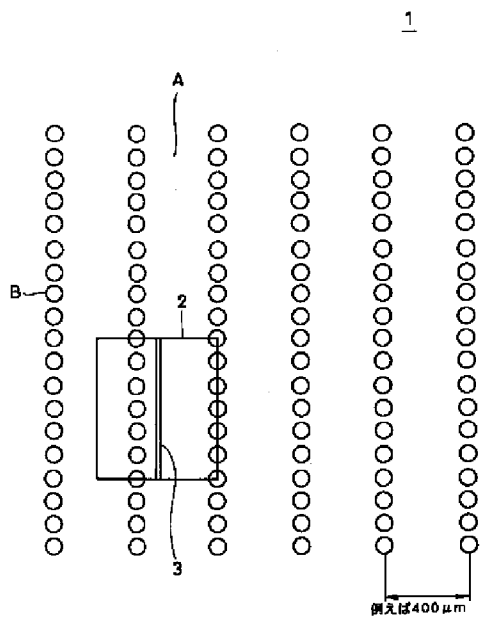
【図32】



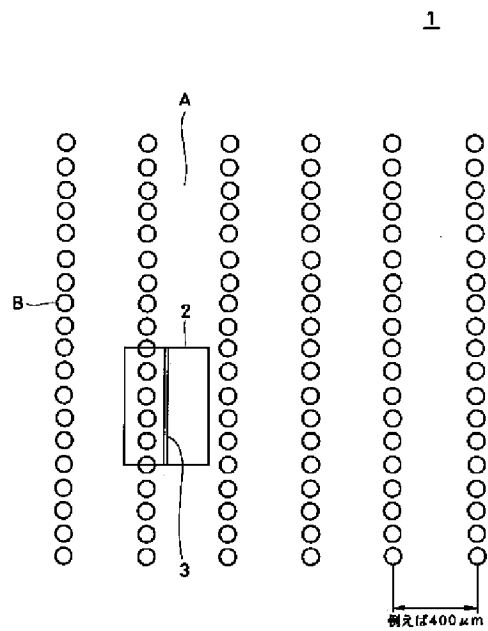
【図33】



【図34】

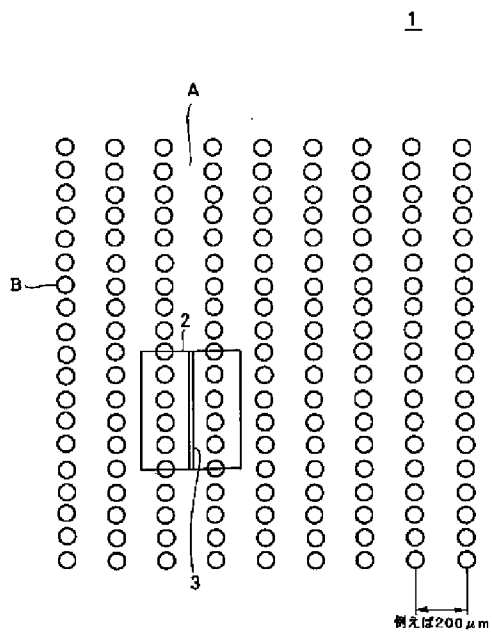


【図35】

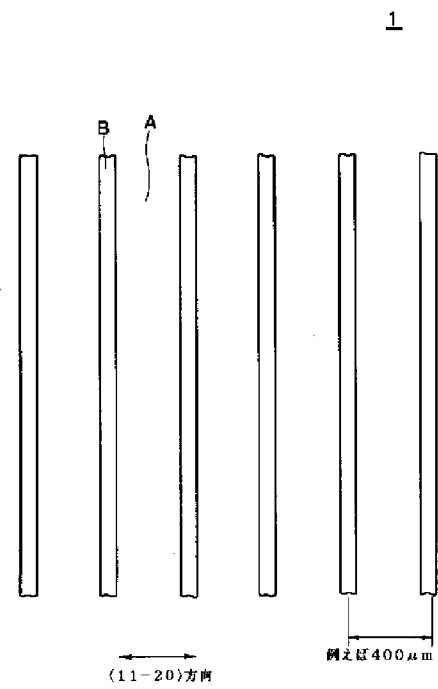




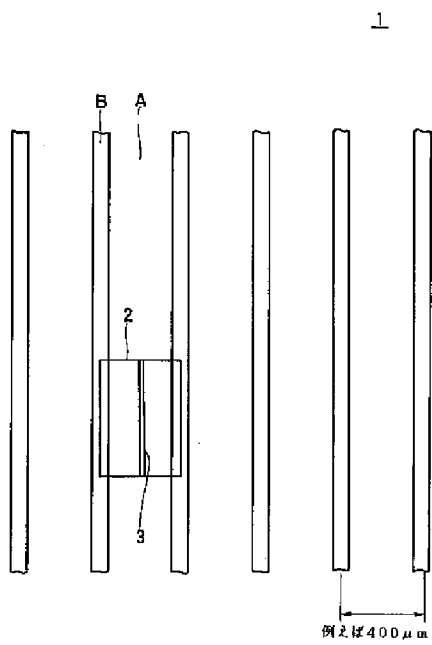
【図36】



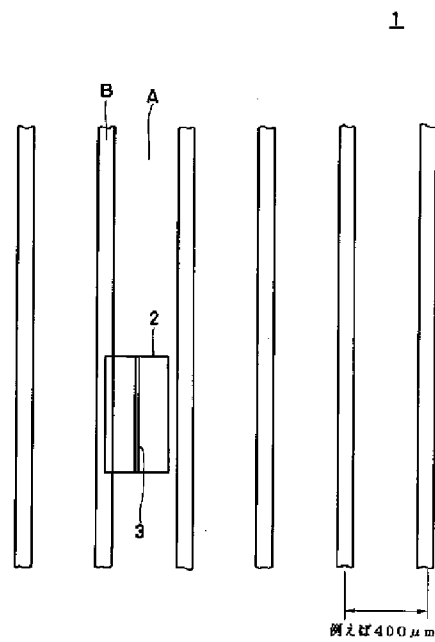
【図37】



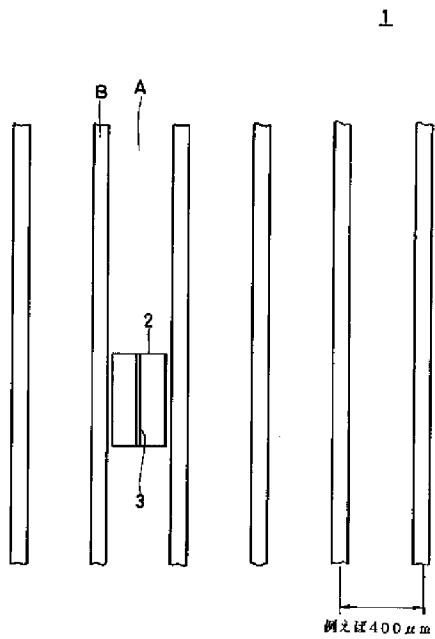
【図38】



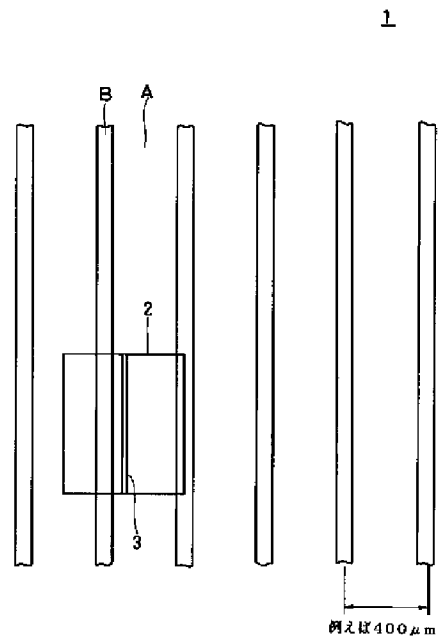
【図39】



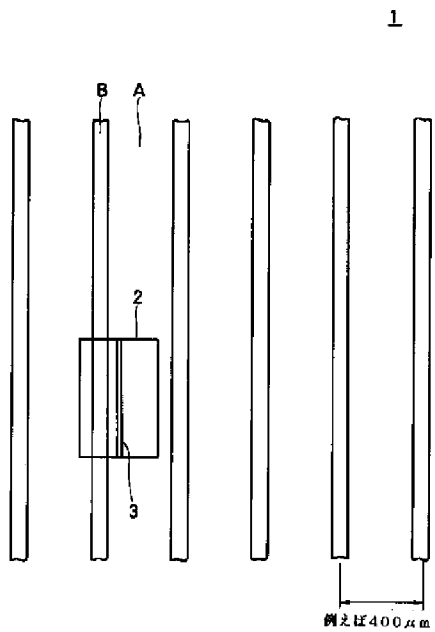
【図40】



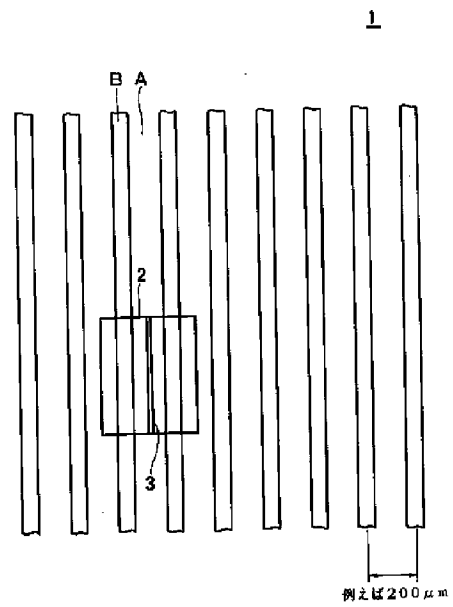
【図41】



【図42】



【図43】



フロントページの続き

(51)Int.Cl.<sup>7</sup>

H01L 29/737  
29/80  
33/00

識別記号

FI  
H01L 21/302  
29/80

テマコード\* (参考)

C 5F073  
Z 5F102

(72)発明者 小林 俊雅  
東京都品川区北品川6丁目7番35号 ソニ  
ー株式会社内  
(72)発明者 中島 博  
東京都品川区北品川6丁目7番35号 ソニ  
ー株式会社内  
(72)発明者 元木 健作  
兵庫県伊丹市昆陽北一丁目1番1号 住友  
電気工業株式会社伊丹製作所内

Fターム(参考) 5F003 AZ01 BF06 BM02 BM03 BP31  
BP32  
5F004 AA06 BA04 DA01 DA16 DB03  
DB19 EA06 EA34 EA38  
5F041 AA40 CA23 CA34 CA40 CA65  
CA74 CA75 CA76  
5F043 AA16 BB10 FF01 GG10  
5F045 AA04 AB14 AB32 AC08 AC12  
AF04 AF09 BB12 BB16 CA12  
HA03 HA04  
5F073 AA13 AA45 AA74 CA07 DA05  
DA22 DA24 DA32 DA34 DA35  
5F102 GB01 GC01 GD01 GJ10 GL04  
GM04 GR01 HC01

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2003-124573

(43)Date of publication of application : 25.04.2003

-----  
(51)Int.Cl. H01S 5/323

H01L 21/205

H01L 21/3065

H01L 21/308

H01L 21/331

H01L 29/737

H01L 29/80

H01L 33/00

-----  
(21)Application number : 2001-315704 (71)Applicant : SUMITOMO ELECTRIC IND LTD  
SONY CORP

(22)Date of filing : 12.10.2001 (72)Inventor : YANASHIMA KATSUNORI  
KOBAYASHI TOSHIMASA  
NAKAJIMA HIROSHI  
MOTOKI KENSAKU

-----  
(54) METHOD FOR FABRICATING SEMICONDUCTOR LIGHT EMITTING ELEMENT,  
METHOD FOR FABRICATING SEMICONDUCTOR ELEMENT, METHOD FOR  
FABRICATING ELEMENT, METHOD FOR GROWING NITRIDE III-V COMPOUND  
SEMICONDUCTOR LAYER, METHOD FOR GROWING SEMICONDUCTOR LAYER, AND  
METHOD FOR GROWING LAYER

(57)Abstract:

PROBLEM TO BE SOLVED: To realize a highly reliable semiconductor light emitting element having good emission characteristics and a long lifetime, a highly reliable semiconductor element having good characteristics and a long lifetime.

SOLUTION: At the time of fabricating a semiconductor light emitting element or a semiconductor element by growing a nitride based III-V compound semiconductor layer for forming a light emitting element structure or an element structure on the major surface of a nitride based III-V compound semiconductor substrate 1 where a plurality of second regions B having a second mean dislocation density higher than a first mean dislocation density are arranged regularly in a first region A of the crystal having the first mean dislocation density, the nitride based III-V compound semiconductor layer is prevented from coming into direct contact with the second region B on the major surface of the nitride based III-V compound semiconductor substrate.

\* NOTICES \*

**JPO and INPIT are not responsible for any damages caused by the use of this translation.**

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.\*\*\*\* shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

.....

## CLAIMS

---

[Claim(s)]

[Claim 1]The 1st average dislocation density. A nitride system group-III-V-semiconductor layer in which two or more 2nd fields that have the 2nd average dislocation density higher than the 1st average dislocation density of the above all over the 1st field that consists of a crystal which it has form light emitting element structure on the principal surface of a nitride system group-III-V-semiconductor board arranged regularly. It is a manufacturing method of a semiconductor light emitting element which manufactured a semiconductor light emitting element by making it grow up, A manufacturing method of a semiconductor light emitting element characterized by keeping the above-mentioned nitride system group-III-V-semiconductor layer from carrying out direct contact to the 2nd field of the above on the principal surface of the above-mentioned nitride system group-III-V-semiconductor board.

[Claim 2]A manufacturing method of the semiconductor light emitting element according to claim 1 removing the 2nd field of the above from the principal surface of the above-mentioned nitride system group-III-V-semiconductor board in part at least before growing up the above-mentioned nitride system group-III-V-semiconductor layer.

[Claim 3]A manufacturing method of the semiconductor light emitting element according to claim 2 removing the 2nd field of the above by predetermined Mr. Fukashi from the principal surface of the above-mentioned nitride system group-III-V-semiconductor board before growing up the above-mentioned nitride system group-III-V-semiconductor layer.

[Claim 4]A manufacturing method of the semiconductor light emitting element according to claim 3, wherein the above-mentioned predetermined depth is 1 micrometers or more.

[Claim 5]A manufacturing method of the semiconductor light emitting element according to claim 3, wherein the above-mentioned predetermined depth is not less than 10 micrometers.

[Claim 6]A manufacturing method of the semiconductor light emitting element according to claim 2 all removing the 2nd field of the above before growing up the above-mentioned nitride system group-III-V-semiconductor layer.

[Claim 7]A manufacturing method of the semiconductor light emitting element according to claim 2 removing the 2nd field of the above by etching.

[Claim 8]A manufacturing method of the semiconductor light emitting element according to claim 7, wherein the above-mentioned etching is wet etching.

[Claim 9]A manufacturing method of the semiconductor light emitting element according to claim 7, wherein the above-mentioned etching is dry etching.

[Claim 10]A manufacturing method of the semiconductor light emitting element according to claim 7, wherein the above-mentioned etching is thermochemistry etching.

[Claim 11]A manufacturing method of the semiconductor light emitting element according to claim 1 covering the surface of the 2nd field of the above by an enveloping layer before growing up the above-mentioned nitride system group-III-V-semiconductor layer.

[Claim 12]A manufacturing method of the semiconductor light emitting element according to claim 11, wherein the 2nd field of the above is removed by predetermined Mr. Fukashi from the principal surface of the above-mentioned nitride system group-III-V-semiconductor board.

[Claim 13]A manufacturing method of the semiconductor light emitting element according to claim 12, wherein a portion from which the 2nd field of the above was removed is buried by the above-mentioned enveloping layer.

[Claim 14]A manufacturing method of the semiconductor light emitting element according to claim 11, wherein the surface of the above-mentioned enveloping layer is in a position higher than the principal surface of the above-mentioned nitride system group-III-V-semiconductor board.

[Claim 15]A manufacturing method of the semiconductor light emitting element according to claim 11, wherein the surface of the above-mentioned enveloping layer is in agreement with the principal surface of the above-mentioned nitride system group-III-V-semiconductor board.

[Claim 16]A manufacturing method of the semiconductor light emitting element according to claim 1 having arranged periodically two or more 2nd fields of the above.

[Claim 17]A manufacturing method of the semiconductor light emitting element according to claim 1 having arranged periodically two or more 2nd fields of the above in the shape of a hexagonal lattice.

[Claim 18]A manufacturing method of the semiconductor light emitting element according to claim 1 having arranged periodically two or more 2nd fields of the above in the shape of a rectangular grid.

[Claim 19]A manufacturing method of the semiconductor light emitting element according to claim 1 having arranged periodically two or more 2nd fields of the above in the shape of a tetragonal lattice.

[Claim 20]A manufacturing method of the semiconductor light emitting element according to claim 1, wherein an interval of the 2nd two field of the above that adjoins

mutually is not less than 20 micrometers.

[Claim 21]A manufacturing method of the semiconductor light emitting element according to claim 1, wherein an interval of the 2nd two field of the above that adjoins mutually is not less than 50 micrometers.

[Claim 22]A manufacturing method of the semiconductor light emitting element according to claim 1, wherein an interval of the 2nd two field of the above that adjoins mutually is not less than 100 micrometers.

[Claim 23]A manufacturing method of the semiconductor light emitting element according to claim 16, wherein an array cycle of the 2nd field of the above is not less than 20 micrometers.

[Claim 24]A manufacturing method of the semiconductor light emitting element according to claim 16, wherein an array cycle of the 2nd field of the above is not less than 50 micrometers.

[Claim 25]A manufacturing method of the semiconductor light emitting element according to claim 16, wherein an array cycle of the 2nd field of the above is not less than 100 micrometers.

[Claim 26]A manufacturing method of the semiconductor light emitting element according to claim 1, wherein the 2nd field of the above has unfixed multiple pillar-like shape.

[Claim 27]A manufacturing method of the semiconductor light emitting element according to claim 1, wherein the 3rd field that has the 3rd average dislocation density lower than the 2nd average dislocation density of the above more highly than the 1st average dislocation density of the above is provided between the 1st field of the above, and the 2nd field of the above.

[Claim 28]A manufacturing method of the semiconductor light emitting element according to claim 27 characterized by keeping the above-mentioned nitride system group-III-V-semiconductor layer from carrying out direct contact to the 2nd field of the above, and the 3rd field of the above on the principal surface of the above-mentioned nitride system group-III-V-semiconductor board.

[Claim 29]A manufacturing method of the semiconductor light emitting element according to claim 28 removing the 2nd field of the above, and the 3rd field of the above from the principal surface of the above-mentioned nitride system group-III-V-semiconductor board in part at least before growing up the above-mentioned nitride system group-III-V-semiconductor layer.

[Claim 30]A manufacturing method of the semiconductor light emitting element according to claim 1, wherein a diameter of the 2nd field of the above is not less than 10



micrometers 100 micrometers or less.

[Claim 31]A manufacturing method of the semiconductor light emitting element according to claim 1, wherein a diameter of the 2nd field of the above is not less than 20 micrometers 50 micrometers or less.

[Claim 32]A manufacturing method of the semiconductor light emitting element according to claim 27, wherein a diameter of the 3rd field of the above is larger than a diameter of the 2nd field of the above not less than 20 micrometers 200 micrometers or less.

[Claim 33]A manufacturing method of the semiconductor light emitting element according to claim 27, wherein a diameter of the 3rd field of the above is larger than a diameter of the 2nd field of the above not less than 40 micrometers 160 micrometers or less.

[Claim 34]A manufacturing method of the semiconductor light emitting element according to claim 27, wherein a diameter of the 3rd field of the above is larger than a diameter of the 2nd field of the above not less than 60 micrometers 140 micrometers or less.

[Claim 35]A manufacturing method of the semiconductor light emitting element according to claim 1, wherein average dislocation density of the 2nd field of the above is 5 or more times of average dislocation density of the 1st field of the above.

[Claim 36]A manufacturing method of the semiconductor light emitting element according to claim 1, wherein average dislocation density of the 2nd field of the above is more than  $1 \times 10^8 \text{ cm}^{-2}$ .

[Claim 37]A manufacturing method of the semiconductor light emitting element according to claim 1, wherein average dislocation density of below  $2 \times 10^6 \text{ cm}^{-2}$  and the 2nd field of the above of average dislocation density of the 1st field of the above is more than  $1 \times 10^8 \text{ cm}^{-2}$ .

[Claim 38]Average dislocation density of the 1st field of the above Below  $2 \times 10^6 \text{ cm}^{-2}$ . A manufacturing method of the semiconductor light emitting element according to claim 27 average dislocation density of the 3rd field of the above of average dislocation density of the 2nd field of the above is [ more than  $1 \times 10^8 \text{ cm}^{-2}$  ] lower than  $1 \times 10^8 \text{ cm}^{-2}$ , and being larger than  $2 \times 10^6 \text{ cm}^{-2}$ .

[Claim 39]The above-mentioned nitride system group-III-V-semiconductor board  $\text{aluminum}_x\text{B}_y\text{Ga}_{1-x-y}\text{In}_z\text{As}_u\text{N}_{1-u-v}\text{P}_v$ . A manufacturing method of the semiconductor light emitting element according to claim 1 consisting of ( $0 \leq x \leq 1$ ,  $0 \leq y \leq 1$ ,  $0 \leq z \leq 1$ ,  $0 \leq u \leq 1$ ,  $0 \leq v \leq 1$ ,  $0 \leq x+y+z \leq 1$ ,  $0 \leq u+v \leq 1$ ). [ however, ]

[Claim 40]A manufacturing method of the semiconductor light emitting element

according to claim 1, wherein the above-mentioned nitride system group-III-V-semiconductor board consists of aluminum<sub>x</sub>B<sub>y</sub>Ga<sub>1-x-y-z</sub>In<sub>z</sub>N (however,  $0 \leq x \leq 1$ ,  $0 \leq y \leq 1$ ,  $0 \leq z \leq 1$ ,  $0 \leq x+y+z < 1$ ).

[Claim 41] A manufacturing method of the semiconductor light emitting element according to claim 1, wherein the above-mentioned nitride system group-III-V-semiconductor board consists of aluminum<sub>x</sub>Ga<sub>1-x-z</sub>In<sub>z</sub>N (however,  $0 \leq x \leq 1$ ,  $0 \leq z \leq 1$ ).

[Claim 42] A manufacturing method of the semiconductor light emitting element according to claim 1, wherein the above-mentioned nitride system group-III-V-semiconductor board consists of GaN(s).

[Claim 43] A manufacturing method of the semiconductor light emitting element according to claim 1, wherein the above-mentioned semiconductor light emitting element is a semiconductor laser.

[Claim 44] A manufacturing method of the semiconductor light emitting element according to claim 1, wherein the above-mentioned semiconductor light emitting element is a light emitting diode.

[Claim 45] The 1st average defect density. A nitride system group-III-V-semiconductor layer in which two or more 2nd fields that have the 2nd average defect density higher than the 1st average defect density of the above all over the 1st field that consists of a crystal which it has form light emitting element structure on the principal surface of a nitride system group-III-V-semiconductor board arranged regularly. It is a manufacturing method of a semiconductor light emitting element which manufactured a semiconductor light emitting element by making it grow up, A manufacturing method of a semiconductor light emitting element characterized by keeping the above-mentioned nitride system group-III-V-semiconductor layer from carrying out direct contact to the 2nd field of the above on the principal surface of the above-mentioned nitride system group-III-V-semiconductor board.

[Claim 46] By growing up a nitride system group-III-V-semiconductor layer which forms light emitting element structure on the principal surface of a nitride system group-III-V-semiconductor board which two or more 2nd fields where crystallinity is worse than this 1st field have arranged regularly all over the 1st field that consists of crystals. A manufacturing method of a semiconductor light emitting element which is a manufacturing method of a semiconductor light emitting element which manufactured a semiconductor light emitting element, and is characterized by keeping the above-mentioned nitride system group-III-V-semiconductor layer from carrying out direct contact to the 2nd field of the above on the principal surface of the

above-mentioned nitride system group-III-V-semiconductor board.

[Claim 47]A manufacturing method of the semiconductor light emitting element according to claim 46 with which the 1st field of the above is a single crystal, and the 2nd field of the above is characterized by a single crystal, polycrystal, or amorphous or intermingling two or more [ these ].

[Claim 48]The 1st average dislocation density. A nitride system group-III-V-semiconductor layer in which two or more 2nd fields that have the 2nd average dislocation density higher than the 1st average dislocation density of the above all over the 1st field that consists of a crystal which it has form element structure on the principal surface of a nitride system group-III-V-semiconductor board arranged regularly. A manufacturing method of a semiconductor device which is a manufacturing method of a semiconductor device which manufactured a semiconductor device by making it grow up, and is characterized by keeping the above-mentioned nitride system group-III-V-semiconductor layer from carrying out direct contact to the 2nd field of the above on the principal surface of the above-mentioned nitride system group-III-V-semiconductor board.

[Claim 49]A manufacturing method of the semiconductor device according to claim 48, wherein the above-mentioned semiconductor device is a light emitting device.

[Claim 50]A manufacturing method of the semiconductor device according to claim 48, wherein the above-mentioned semiconductor device is a photo detector.

[Claim 51]A manufacturing method of the semiconductor device according to claim 48, wherein the above-mentioned semiconductor device is an electronic run element.

[Claim 52]The 1st average defect density. A nitride system group-III-V-semiconductor layer in which two or more 2nd fields that have the 2nd average defect density higher than the 1st average defect density of the above all over the 1st field that consists of a crystal which it has form element structure on the principal surface of a nitride system group-III-V-semiconductor board arranged regularly. A manufacturing method of a semiconductor device which is a manufacturing method of a semiconductor device which manufactured a semiconductor device by making it grow up, and is characterized by keeping the above-mentioned nitride system group-III-V-semiconductor layer from carrying out direct contact to the 2nd field of the above on the principal surface of the above-mentioned nitride system group-III-V-semiconductor board.

[Claim 53]By growing up a nitride system group-III-V-semiconductor layer which forms element structure on the principal surface of a nitride system group-III-V-semiconductor board which two or more 2nd fields where crystallinity is worse than this 1st field have arranged regularly all over the 1st field that consists of

crystals. A manufacturing method of a semiconductor device which is a manufacturing method of a semiconductor device which manufactured a semiconductor device, and is characterized by keeping the above-mentioned nitride system

group-III-V-semiconductor layer from carrying out direct contact to the 2nd field of the above on the principal surface of the above-mentioned nitride system

group-III-V-semiconductor board.

[Claim 54]By growing up a semiconductor layer by which two or more 2nd fields that have the 2nd average dislocation density higher than the 1st average dislocation density of the above all over the 1st field that consists of a crystal which has the 1st average dislocation density form light emitting element structure on the principal surface of a semiconductor substrate arranged regularly. A manufacturing method of a semiconductor light emitting element which is a manufacturing method of a semiconductor light emitting element which manufactured a semiconductor light emitting element, and is characterized by keeping the above-mentioned semiconductor layer from carrying out direct contact to the 2nd field of the above on the principal surface of the above-mentioned semiconductor substrate.

[Claim 55]By growing up a semiconductor layer by which two or more 2nd fields that have the 2nd average defect density higher than the 1st average defect density of the above all over the 1st field that consists of a crystal which has the 1st average defect density form light emitting element structure on the principal surface of a semiconductor substrate arranged regularly. A manufacturing method of a semiconductor light emitting element which is a manufacturing method of a semiconductor light emitting element which manufactured a semiconductor light emitting element, and is characterized by keeping the above-mentioned semiconductor layer from carrying out direct contact to the 2nd field of the above on the principal surface of the above-mentioned semiconductor substrate.

[Claim 56]It is a manufacturing method of a semiconductor light emitting element which manufactured a semiconductor light emitting element by growing up a semiconductor layer which forms light emitting element structure on the principal surface of a semiconductor substrate which two or more 2nd fields where crystallinity is worse than this 1st field have arranged regularly all over the 1st field that consists of crystals, A manufacturing method of a semiconductor light emitting element characterized by keeping the above-mentioned semiconductor layer from carrying out direct contact to the 2nd field of the above on the principal surface of the above-mentioned semiconductor substrate.

[Claim 57]By growing up a semiconductor layer by which two or more 2nd fields that

have the 2nd average dislocation density higher than the 1st average dislocation density of the above all over the 1st field that consists of a crystal which has the 1st average dislocation density form element structure on the principal surface of a semiconductor substrate arranged regularly. A manufacturing method of a semiconductor device which is a manufacturing method of a semiconductor device which manufactured a semiconductor device, and is characterized by keeping the above-mentioned semiconductor layer from carrying out direct contact to the 2nd field of the above on the principal surface of the above-mentioned semiconductor substrate.

[Claim 58]By growing up a semiconductor layer by which two or more 2nd fields that have the 2nd average defect density higher than the 1st average defect density of the above all over the 1st field that consists of a crystal which has the 1st average defect density form element structure on the principal surface of a semiconductor substrate arranged regularly. A manufacturing method of a semiconductor device which is a manufacturing method of a semiconductor device which manufactured a semiconductor device, and is characterized by keeping the above-mentioned semiconductor layer from carrying out direct contact to the 2nd field of the above on the principal surface of the above-mentioned semiconductor substrate.

[Claim 59]It is a manufacturing method of a semiconductor device which manufactured a semiconductor device by growing up a semiconductor layer which forms element structure on the principal surface of a semiconductor substrate which two or more 2nd fields where crystallinity is worse than this 1st field have arranged regularly all over the 1st field that consists of crystals, A manufacturing method of a semiconductor device characterized by keeping the above-mentioned semiconductor layer from carrying out direct contact to the 2nd field of the above on the principal surface of the above-mentioned semiconductor substrate.

[Claim 60]By growing up a layer in which two or more 2nd fields that have the 2nd average dislocation density higher than the 1st average dislocation density of the above all over the 1st field that consists of a crystal which has the 1st average dislocation density form element structure on the principal surface of a substrate arranged regularly. A manufacturing method of an element which is a manufacturing method of an element which manufactured an element and is characterized by keeping the above-mentioned layer from carrying out direct contact to the 2nd field of the above on the principal surface of the above-mentioned substrate.

[Claim 61]By growing up a layer in which two or more 2nd fields that have the 2nd average defect density higher than the 1st average defect density of the above all over the 1st field that consists of a crystal which has the 1st average defect density form

element structure on the principal surface of a substrate arranged regularly. A manufacturing method of an element which is a manufacturing method of an element which manufactured an element and is characterized by keeping the above-mentioned layer from carrying out direct contact to the 2nd field of the above on the principal surface of the above-mentioned substrate.

[Claim 62]It is a manufacturing method of an element which manufactured an element by growing up a layer which forms element structure on the principal surface of a substrate which two or more 2nd fields where crystallinity is worse than this 1st field have arranged regularly all over the 1st field that consists of crystals, A manufacturing method of an element characterized by keeping the above-mentioned layer from carrying out direct contact to the 2nd field of the above on the principal surface of the above-mentioned substrate.

[Claim 63]Two or more 2nd fields that have the 2nd average dislocation density higher than the 1st average dislocation density of the above all over the 1st field that consists of a crystal which has the 1st average dislocation density arrange regularly at the 1st interval in the 1st direction, By growing up a nitride system group-III-V-semiconductor layer which forms light emitting element structure on the principal surface of a nitride system group-III-V-semiconductor board regularly arranged at the 2nd interval smaller than the 1st interval of the above in the 1st direction of the above, and the 2nd direction that intersects perpendicularly. A manufacturing method of a semiconductor light emitting element which is a manufacturing method of a semiconductor light emitting element which manufactured a semiconductor light emitting element, and is characterized by keeping the above-mentioned nitride system group-III-V-semiconductor layer from carrying out direct contact to the 2nd field of the above on the principal surface of the above-mentioned nitride system group-III-V-semiconductor board.

[Claim 64]Two or more 2nd fields that have the 2nd average defect density higher than the 1st average defect density of the above all over the 1st field that consists of a crystal which has the 1st average defect density arrange regularly at the 1st interval in the 1st direction, By growing up a nitride system group-III-V-semiconductor layer which forms light emitting element structure on the principal surface of a nitride system group-III-V-semiconductor board regularly arranged at the 2nd interval smaller than the 1st interval of the above in the 1st direction of the above, and the 2nd direction that intersects perpendicularly. A manufacturing method of a semiconductor light emitting element which is a manufacturing method of a semiconductor light emitting element which manufactured a semiconductor light emitting element, and is characterized by

keeping the above-mentioned nitride system group-III-V-semiconductor layer from carrying out direct contact to the 2nd field of the above on the principal surface of the above-mentioned nitride system group-III-V-semiconductor board.

[Claim 65] Two or more 2nd fields where crystallinity is worse than this 1st field arrange regularly at the 1st interval in the 1st direction all over the 1st field that consists of crystals, By growing up a nitride system group-III-V-semiconductor layer which forms light emitting element structure on the principal surface of a nitride system group-III-V-semiconductor board regularly arranged at the 2nd interval smaller than the 1st interval of the above in the 1st direction of the above, and the 2nd direction that intersects perpendicularly. A manufacturing method of a semiconductor light emitting element which is a manufacturing method of a semiconductor light emitting element which manufactured a semiconductor light emitting element, and is characterized by keeping the above-mentioned nitride system group-III-V-semiconductor layer from carrying out direct contact to the 2nd field of the above on the principal surface of the above-mentioned nitride system group-III-V-semiconductor board.

[Claim 66] The 1st average dislocation density. Two or more 2nd fields that extend in linear shape which has the 2nd average dislocation density higher than the 1st average dislocation density of the above all over the 1st field that consists of a crystal which it has on the principal surface of a nitride system group-III-V-semiconductor board arranged regularly mutually in parallel light emitting element structure. It is a manufacturing method of a semiconductor light emitting element which manufactured a semiconductor light emitting element by growing up a nitride system group-III-V-semiconductor layer to form, A manufacturing method of a semiconductor light emitting element characterized by keeping the above-mentioned nitride system group-III-V-semiconductor layer from carrying out direct contact to the 2nd field of the above on the principal surface of the above-mentioned nitride system group-III-V-semiconductor board.

[Claim 67] The 1st average defect density. Two or more 2nd fields that extend in linear shape which has the 2nd average defect density higher than the 1st average defect density of the above all over the 1st field that consists of a crystal which it has on the principal surface of a nitride system group-III-V-semiconductor board arranged regularly mutually in parallel light emitting element structure. It is a manufacturing method of a semiconductor light emitting element which manufactured a semiconductor light emitting element by growing up a nitride system group-III-V-semiconductor layer to form, A manufacturing method of a semiconductor light emitting element characterized by keeping the above-mentioned nitride system

group-III-V-semiconductor layer from carrying out direct contact to the 2nd field of the above on the principal surface of the above-mentioned nitride system group-III-V-semiconductor board.

[Claim 68]Two or more 2nd fields where crystallinity extends in bad linear shape from this 1st field all over the 1st field that consists of crystals a nitride system group-III-V-semiconductor layer which forms light emitting element structure on the principal surface of a nitride system group-III-V-semiconductor board arranged regularly mutually in parallel. It is a manufacturing method of a semiconductor light emitting element which manufactured a semiconductor light emitting element by making it grow up, A manufacturing method of a semiconductor light emitting element characterized by keeping the above-mentioned nitride system group-III-V-semiconductor layer from carrying out direct contact to the 2nd field of the above on the principal surface of the above-mentioned nitride system group-III-V-semiconductor board.

[Claim 69]Two or more 2nd fields that have the 2nd average dislocation density higher than the 1st average dislocation density of the above all over the 1st field that consists of a crystal which has the 1st average dislocation density arrange regularly at the 1st interval in the 1st direction, By growing up a nitride system group-III-V-semiconductor layer which forms element structure on the principal surface of a nitride system group-III-V-semiconductor board regularly arranged at the 2nd interval smaller than the 1st interval of the above in the 1st direction of the above, and the 2nd direction that intersects perpendicularly. A manufacturing method of a semiconductor device which is a manufacturing method of a semiconductor device which manufactured a semiconductor device, and is characterized by keeping the above-mentioned nitride system group-III-V-semiconductor layer from carrying out direct contact to the 2nd field of the above on the principal surface of the above-mentioned nitride system group-III-V-semiconductor board.

[Claim 70]Two or more 2nd fields that have the 2nd average defect density higher than the 1st average defect density of the above all over the 1st field that consists of a crystal which has the 1st average defect density arrange regularly at the 1st interval in the 1st direction, By growing up a nitride system group-III-V-semiconductor layer which forms element structure on the principal surface of a nitride system group-III-V-semiconductor board regularly arranged at the 2nd interval smaller than the 1st interval of the above in the 1st direction of the above, and the 2nd direction that intersects perpendicularly. A manufacturing method of a semiconductor device which is a manufacturing method of a semiconductor device which manufactured a semiconductor device, and is characterized



by keeping the above-mentioned nitride system group-III-V-semiconductor layer from carrying out direct contact to the 2nd field of the above on the principal surface of the above-mentioned nitride system group-III-V-semiconductor board.

[Claim 71] Two or more 2nd fields where crystallinity is worse than this 1st field arrange regularly at the 1st interval in the 1st direction all over the 1st field that consists of crystals, By growing up a nitride system group-III-V-semiconductor layer which forms element structure on the principal surface of a nitride system group-III-V-semiconductor board regularly arranged at the 2nd interval smaller than the 1st interval of the above in the 1st direction of the above, and the 2nd direction that intersects perpendicularly. A manufacturing method of a semiconductor device which is a manufacturing method of a semiconductor device which manufactured a semiconductor device, and is characterized by keeping the above-mentioned nitride system group-III-V-semiconductor layer from carrying out direct contact to the 2nd field of the above on the principal surface of the above-mentioned nitride system group-III-V-semiconductor board.

[Claim 72] The 1st average dislocation density. Two or more 2nd fields that extend in linear shape which has the 2nd average dislocation density higher than the 1st average dislocation density of the above all over the 1st field that consists of a crystal which it has on the principal surface of a nitride system group-III-V-semiconductor board arranged regularly mutually in parallel element structure. It is a manufacturing method of a semiconductor device which manufactured a semiconductor device by growing up a nitride system group-III-V-semiconductor layer to form, A manufacturing method of a semiconductor device characterized by keeping the above-mentioned nitride system group-III-V-semiconductor layer from carrying out direct contact to the 2nd field of the above on the principal surface of the above-mentioned nitride system group-III-V-semiconductor board.

[Claim 73] The 1st average defect density. Two or more 2nd fields that extend in linear shape which has the 2nd average defect density higher than the 1st average defect density of the above all over the 1st field that consists of a crystal which it has on the principal surface of a nitride system group-III-V-semiconductor board arranged regularly mutually in parallel element structure. It is a manufacturing method of a semiconductor device which manufactured a semiconductor device by growing up a nitride system group-III-V-semiconductor layer to form, A manufacturing method of a semiconductor device characterized by keeping the above-mentioned nitride system group-III-V-semiconductor layer from carrying out direct contact to the 2nd field of the above on the principal surface of the above-mentioned nitride system

group-III-V-semiconductor board.

[Claim 74]Two or more 2nd fields where crystallinity extends in bad linear shape from this 1st field all over the 1st field that consists of crystals a nitride system group-III-V-semiconductor layer which forms element structure on the principal surface of a nitride system group-III-V-semiconductor board arranged regularly mutually in parallel. A manufacturing method of a semiconductor device which is a manufacturing method of a semiconductor device which manufactured a semiconductor device by making it grow up, and is characterized by keeping the above-mentioned nitride system group-III-V-semiconductor layer from carrying out direct contact to the 2nd field of the above on the principal surface of the above-mentioned nitride system group-III-V-semiconductor board.

[Claim 75]Two or more 2nd fields that have the 2nd average dislocation density higher than the 1st average dislocation density of the above all over the 1st field that consists of a crystal which has the 1st average dislocation density arrange regularly at the 1st interval in the 1st direction, It is a manufacturing method of a semiconductor light emitting element which manufactured a semiconductor light emitting element by growing up a semiconductor layer which forms light emitting element structure on the principal surface of a semiconductor substrate regularly arranged at the 2nd interval smaller than the 1st interval of the above in the 1st direction of the above, and the 2nd direction that intersects perpendicularly, A manufacturing method of a semiconductor light emitting element characterized by keeping the above-mentioned semiconductor layer from carrying out direct contact to the 2nd field of the above on the principal surface of the above-mentioned semiconductor substrate.

[Claim 76]Two or more 2nd fields that have the 2nd average defect density higher than the 1st average defect density of the above all over the 1st field that consists of a crystal which has the 1st average defect density arrange regularly at the 1st interval in the 1st direction, It is a manufacturing method of a semiconductor light emitting element which manufactured a semiconductor light emitting element by growing up a semiconductor layer which forms light emitting element structure on the principal surface of a semiconductor substrate regularly arranged at the 2nd interval smaller than the 1st interval of the above in the 1st direction of the above, and the 2nd direction that intersects perpendicularly, A manufacturing method of a semiconductor light emitting element characterized by keeping the above-mentioned semiconductor layer from carrying out direct contact to the 2nd field of the above on the principal surface of the above-mentioned semiconductor substrate.

[Claim 77]Two or more 2nd fields where crystallinity is worse than this 1st field

arrange regularly at the 1st interval in the 1st direction all over the 1st field that consists of crystals, It is a manufacturing method of a semiconductor light emitting element which manufactured a semiconductor light emitting element by growing up a semiconductor layer which forms light emitting element structure on the principal surface of a semiconductor substrate regularly arranged at the 2nd interval smaller than the 1st interval of the above in the 1st direction of the above, and the 2nd direction that intersects perpendicularly, A manufacturing method of a semiconductor light emitting element characterized by keeping the above-mentioned semiconductor layer from carrying out direct contact to the 2nd field of the above on the principal surface of the above-mentioned semiconductor substrate.

[Claim 78]The 1st average dislocation density. By growing up a semiconductor layer by which two or more 2nd fields that extend in linear shape which has the 2nd average dislocation density higher than the 1st average dislocation density of the above all over the 1st field that consists of a crystal which it has form light emitting element structure on the principal surface of a semiconductor substrate arranged regularly mutually in parallel. A manufacturing method of a semiconductor light emitting element which is a manufacturing method of a semiconductor light emitting element which manufactured a semiconductor light emitting element, and is characterized by keeping the above-mentioned semiconductor layer from carrying out direct contact to the 2nd field of the above on the principal surface of the above-mentioned semiconductor substrate.

[Claim 79]The 1st average defect density. By growing up a semiconductor layer by which two or more 2nd fields that extend in linear shape which has the 2nd average defect density higher than the 1st average defect density of the above all over the 1st field that consists of a crystal which it has form light emitting element structure on the principal surface of a semiconductor substrate arranged regularly mutually in parallel. A manufacturing method of a semiconductor light emitting element which is a manufacturing method of a semiconductor light emitting element which manufactured a semiconductor light emitting element, and is characterized by keeping the above-mentioned semiconductor layer from carrying out direct contact to the 2nd field of the above on the principal surface of the above-mentioned semiconductor substrate.

[Claim 80]By growing up a semiconductor layer by which two or more 2nd fields where crystallinity extends in bad linear shape from this 1st field all over the 1st field that consists of crystals form light emitting element structure on the principal surface of a semiconductor substrate arranged regularly mutually in parallel. A manufacturing method of a semiconductor light emitting element which is a manufacturing method of a semiconductor light emitting element which manufactured a semiconductor light

emitting element, and is characterized by keeping the above-mentioned semiconductor layer from carrying out direct contact to the 2nd field of the above on the principal surface of the above-mentioned semiconductor substrate.

[Claim 81]Two or more 2nd fields that have the 2nd average dislocation density higher than the 1st average dislocation density of the above all over the 1st field that consists of a crystal which has the 1st average dislocation density arrange regularly at the 1st interval in the 1st direction, It is a manufacturing method of a semiconductor device which manufactured a semiconductor device by growing up a semiconductor layer which forms element structure on the principal surface of a semiconductor substrate regularly arranged at the 2nd interval smaller than the 1st interval of the above in the 1st direction of the above, and the 2nd direction that intersects perpendicularly, A manufacturing method of a semiconductor device characterized by keeping the above-mentioned semiconductor layer from carrying out direct contact to the 2nd field of the above on the principal surface of the above-mentioned semiconductor substrate.

[Claim 82]Two or more 2nd fields that have the 2nd average defect density higher than the 1st average defect density of the above all over the 1st field that consists of a crystal which has the 1st average defect density arrange regularly at the 1st interval in the 1st direction, It is a manufacturing method of a semiconductor device which manufactured a semiconductor device by growing up a semiconductor layer which forms element structure on the principal surface of a semiconductor substrate regularly arranged at the 2nd interval smaller than the 1st interval of the above in the 1st direction of the above, and the 2nd direction that intersects perpendicularly, A manufacturing method of a semiconductor device characterized by keeping the above-mentioned semiconductor layer from carrying out direct contact to the 2nd field of the above on the principal surface of the above-mentioned semiconductor substrate.

[Claim 83]Two or more 2nd fields where crystallinity is worse than this 1st field arrange regularly at the 1st interval in the 1st direction all over the 1st field that consists of crystals, It is a manufacturing method of a semiconductor device which manufactured a semiconductor device by growing up a semiconductor layer which forms element structure on the principal surface of a semiconductor substrate regularly arranged at the 2nd interval smaller than the 1st interval of the above in the 1st direction of the above, and the 2nd direction that intersects perpendicularly, A manufacturing method of a semiconductor device characterized by keeping the above-mentioned semiconductor layer from carrying out direct contact to the 2nd field of the above on the principal surface of the above-mentioned semiconductor substrate.

[Claim 84]The 1st average dislocation density. By growing up a semiconductor layer by

which two or more 2nd fields that extend in linear shape which has the 2nd average dislocation density higher than the 1st average dislocation density of the above all over the 1st field that consists of a crystal which it has form element structure on the principal surface of a semiconductor substrate arranged regularly mutually in parallel. A manufacturing method of a semiconductor device which is a manufacturing method of a semiconductor device which manufactured a semiconductor device, and is characterized by keeping the above-mentioned semiconductor layer from carrying out direct contact to the 2nd field of the above on the principal surface of the above-mentioned semiconductor substrate.

[Claim 85]The 1st average defect density. By growing up a semiconductor layer by which two or more 2nd fields that extend in linear shape which has the 2nd average defect density higher than the 1st average defect density of the above all over the 1st field that consists of a crystal which it has form element structure on the principal surface of a semiconductor substrate arranged regularly mutually in parallel. A manufacturing method of a semiconductor device which is a manufacturing method of a semiconductor device which manufactured a semiconductor device, and is characterized by keeping the above-mentioned semiconductor layer from carrying out direct contact to the 2nd field of the above on the principal surface of the above-mentioned semiconductor substrate.

[Claim 86]By growing up a semiconductor layer by which two or more 2nd fields where crystallinity extends in bad linear shape from this 1st field all over the 1st field that consists of crystals form element structure on the principal surface of a semiconductor substrate arranged regularly mutually in parallel. A manufacturing method of a semiconductor device which is a manufacturing method of a semiconductor device which manufactured a semiconductor device, and is characterized by keeping the above-mentioned semiconductor layer from carrying out direct contact to the 2nd field of the above on the principal surface of the above-mentioned semiconductor substrate.

[Claim 87]Two or more 2nd fields that have the 2nd average dislocation density higher than the 1st average dislocation density of the above all over the 1st field that consists of a crystal which has the 1st average dislocation density arrange regularly at the 1st interval in the 1st direction, It is a manufacturing method of an element which manufactured an element by growing up a layer which forms element structure on the principal surface of a substrate regularly arranged at the 2nd interval smaller than the 1st interval of the above in the 1st direction of the above, and the 2nd direction that intersects perpendicularly, A manufacturing method of an element characterized by keeping the above-mentioned layer from carrying out direct contact to the 2nd field of

the above on the principal surface of the above-mentioned substrate.

[Claim 88]Two or more 2nd fields that have the 2nd average defect density higher than the 1st average defect density of the above all over the 1st field that consists of a crystal which has the 1st average defect density arrange regularly at the 1st interval in the 1st direction, It is a manufacturing method of an element which manufactured an element by growing up a layer which forms element structure on the principal surface of a substrate regularly arranged at the 2nd interval smaller than the 1st interval of the above in the 1st direction of the above, and the 2nd direction that intersects perpendicularly, A manufacturing method of an element characterized by keeping the above-mentioned layer from carrying out direct contact to the 2nd field of the above on the principal surface of the above-mentioned substrate.

[Claim 89]Two or more 2nd fields where crystallinity is worse than this 1st field arrange regularly at the 1st interval in the 1st direction all over the 1st field that consists of crystals, It is a manufacturing method of an element which manufactured an element by growing up a layer which forms element structure on the principal surface of a substrate regularly arranged at the 2nd interval smaller than the 1st interval of the above in the 1st direction of the above, and the 2nd direction that intersects perpendicularly, A manufacturing method of an element characterized by keeping the above-mentioned layer from carrying out direct contact to the 2nd field of the above on the principal surface of the above-mentioned substrate.

[Claim 90]By growing up a layer in which two or more 2nd fields that extend in linear shape which has the 2nd average dislocation density higher than the 1st average dislocation density of the above all over the 1st field that consists of a crystal which has the 1st average dislocation density form element structure on the principal surface of a substrate arranged regularly mutually in parallel. A manufacturing method of an element which is a manufacturing method of an element which manufactured an element and is characterized by keeping the above-mentioned layer from carrying out direct contact to the 2nd field of the above on the principal surface of the above-mentioned substrate.

[Claim 91]By growing up a layer in which two or more 2nd fields that extend in linear shape which has the 2nd average defect density higher than the 1st average defect density of the above all over the 1st field that consists of a crystal which has the 1st average defect density form element structure on the principal surface of a substrate arranged regularly mutually in parallel. A manufacturing method of an element which is a manufacturing method of an element which manufactured an element and is characterized by keeping the above-mentioned layer from carrying out direct contact to

the 2nd field of the above on the principal surface of the above-mentioned substrate.

[Claim 92]It is a manufacturing method of an element which manufactured an element by growing up a layer in which two or more 2nd fields where crystallinity extends in bad linear shape from this 1st field all over the 1st field that consists of crystals form element structure on the principal surface of a substrate arranged regularly mutually in parallel, A manufacturing method of an element characterized by keeping the above-mentioned layer from carrying out direct contact to the 2nd field of the above on the principal surface of the above-mentioned substrate.

[Claim 93]The 1st average dislocation density. All over the 1st field that consists of a crystal which it has. It is a growing method of a nitride system group-III-V-semiconductor layer it was made to grow up a nitride system group-III-V-semiconductor layer on the principal surface of a nitride system group-III-V-semiconductor board which has the 2nd field that has the 2nd average dislocation density higher than the 1st average dislocation density of the above, A growing method of a nitride system group-III-V-semiconductor layer characterized by keeping the above-mentioned nitride system group-III-V-semiconductor layer from carrying out direct contact to the 2nd field of the above on the principal surface of the above-mentioned nitride system group-III-V-semiconductor board.

[Claim 94]The 1st average defect density. All over the 1st field that consists of a crystal which it has. It is a growing method of a nitride system group-III-V-semiconductor layer it was made to grow up a nitride system group-III-V-semiconductor layer on the principal surface of a nitride system group-III-V-semiconductor board which has the 2nd field that has the 2nd average defect density higher than the 1st average defect density of the above, A growing method of a nitride system group-III-V-semiconductor layer characterized by keeping the above-mentioned nitride system group-III-V-semiconductor layer from carrying out direct contact to the 2nd field of the above on the principal surface of the above-mentioned nitride system group-III-V-semiconductor board.

[Claim 95]It is a growing method of a nitride system group-III-V-semiconductor layer it was made to grow up a nitride system group-III-V-semiconductor layer from this 1st field all over the 1st field that consists of crystals on the principal surface of a nitride system group-III-V-semiconductor board with which crystallinity has the 2nd bad field, A growing method of a nitride system group-III-V-semiconductor layer characterized by keeping the above-mentioned nitride system group-III-V-semiconductor layer from carrying out direct contact to the 2nd field of the above on the principal surface of the above-mentioned nitride system group-III-V-semiconductor board.

[Claim 96]It is a growing method of a semiconductor layer it was made to grow up a semiconductor layer on the principal surface of a semiconductor substrate which has the 2nd field that has the 2nd average dislocation density higher than the 1st average dislocation density of the above all over the 1st field that consists of a crystal which has the 1st average dislocation density, A growing method of a semiconductor layer characterized by keeping the above-mentioned semiconductor layer from carrying out direct contact to the 2nd field of the above on the principal surface of the above-mentioned semiconductor substrate.

[Claim 97]It is a growing method of a semiconductor layer it was made to grow up a semiconductor layer on the principal surface of a semiconductor substrate which has the 2nd field that has the 2nd average defect density higher than the 1st average defect density of the above all over the 1st field that consists of a crystal which has the 1st average defect density, A growing method of a semiconductor layer characterized by keeping the above-mentioned semiconductor layer from carrying out direct contact to the 2nd field of the above on the principal surface of the above-mentioned semiconductor substrate.

[Claim 98]It is a growing method of a semiconductor layer it was made to grow up a semiconductor layer from this 1st field on the principal surface of a substrate with which crystallinity has the 2nd bad field all over the 1st field that consists of crystals, A growing method of a semiconductor layer characterized by keeping the above-mentioned semiconductor layer from carrying out direct contact to the 2nd field of the above on the principal surface of the above-mentioned semiconductor substrate.

[Claim 99]It is a growing method of a layer it was made to grow up a layer on the principal surface of a substrate which has the 2nd field that has the 2nd average dislocation density higher than the 1st average dislocation density of the above all over the 1st field that consists of a crystal which has the 1st average dislocation density, A growing method of a layer characterized by keeping the above-mentioned layer from carrying out direct contact to the 2nd field of the above on the principal surface of the above-mentioned substrate.

[Claim 100]It is a growing method of a layer it was made to grow up a layer on the principal surface of a substrate which has the 2nd field that has the 2nd average defect density higher than the 1st average defect density of the above all over the 1st field that consists of a crystal which has the 1st average defect density, A growing method of a layer characterized by keeping the above-mentioned layer from carrying out direct contact to the 2nd field of the above on the principal surface of the above-mentioned substrate.



[Claim 101] A growing method of a layer characterized by crystallinity's being a growing method of a layer it was made to grow up a layer on the principal surface of a substrate which has the 2nd bad field, and keeping the above-mentioned layer from carrying out direct contact to the 2nd field of the above on the principal surface of the above-mentioned substrate from this 1st field all over the 1st field that consists of crystals.

---

## **DETAILED DESCRIPTION**

---

[Detailed Description of the Invention]

[0001]

[Field of the Invention] This invention A manufacturing method of a semiconductor light emitting element, a manufacturing method of a semiconductor device, a manufacturing method of an element, It applies to manufacture of the semiconductor laser using a nitride system group III-V semiconductor, a light emitting diode, or an electronic run element, concerning the growing method of a nitride system group-III-V-semiconductor layer, the growing method of a semiconductor layer, and the growing method of a layer, and is suitable.

[0002]

[Description of the Prior Art] Nitride system groups III-V semiconductor, such as GaN, AlGaN, GaInN, and AlGaInN, It has the feature that band gap  $E_g$  is large and is a semiconductor material of direct transition compared with an AlGaInAs system group

III-V semiconductor or an AlGaInP system group III-V semiconductor. For this reason, these nitride system groups III-V semiconductor, It is observed as a material which constitutes semiconductor light emitting elements, such as a semiconductor laser which can emit light for the light of short wavelength which hits green from ultraviolet rays, and a light emitting diode (LED) which can cover the wide luminous wavelength range that it is white to red, from ultraviolet rays.

The high density optical disk, a full color display, environment, a medical field, etc. are widely considered in application.

[0003]These nitride system groups III-V semiconductor, For example, the saturation velocity in the high electric field of GaN is large, for example, a thing [ the high temperature operation up to about 400 °C ], And it has the feature of crystal growth being able to perform formation of a semiconductor layer and an insulating layer continuously by using AlN for the material of the insulating layer in MIS (Metal-Insulator-Semiconductor) structure, for example. For this reason, these nitride system groups III-V semiconductor are expected also as a material which constitutes the high-output high frequency electronic device in which high temperature operation is possible.

[0004]In addition, the following things are mentioned as a nitride system group's III-V semiconductor strong point.

- (1) Thermal conductivity is higher than a GaAs system semiconductor etc., and is for [ an elevated temperature and high output operation ] elements.
- (2) Material is chemically stable, and hardness's is expensive, and it is easy to acquire high reliability.
- (3) It is a compound semiconductor material with small load to environment. That is, an AlGaInN system semiconductor does not contain the environmental pollutant or poison with great influence to environment in a component or a raw material. Specifically, the material equivalent to the arsenic (As) in an AlGaAs system semiconductor, cadmium (Cd) in a ZnCdSSe system semiconductor, etc., its raw material (arsine ( $\text{AsH}_3$ )), etc. are not used.

[0005]However, in the element using a nitride system group III-V semiconductor, there was a problem that there was no suitable substrate material to acquire high reliability, conventionally. In order to obtain a quality crystal especially as a nitride system group's III-V semiconductor substrate material, there are the following problems and situations.

- (1) GaN of a component, AlGaIn, and GaInN are the total-distortion systems from which a grating constant differs. Therefore, the range from which the range and the

good crystal film which do not produce a crack etc. between nitride system groups III-V semiconductor and a substrate are obtained has design restrictions, such as stopping a presentation, thickness, etc.

(2) The quality board which carries out lattice matching to GaN has not been developed yet. As there are a quality GaAs substrate which carries out lattice matching to a GaAs system semiconductor or a GaInP system semiconductor, and a quality InP substrate which carries out lattice matching to a GaInAs system semiconductor, For example, a quality GaN board is a developmental stage, since the comparatively small SiC substrate of lattice constant difference is expensive, large-caliber-izing is also difficult, it pulls to a crystal film and distortion occurs, there is a problem of being easy to generate a crack, and in addition to these, there is no substrate which carries out lattice matching to GaN.

(3) In the ammonia atmosphere of the high crystal growth temperature of about 1000 \*\*, and V group material, the necessary condition of a nitride system group's III-V semiconductor substrate material may deteriorate, and it may not be corroded.

[0006]For the above reasons, silicon on sapphire is used by synthetic judgment as a nitride system group's III-V semiconductor substrate in many cases. Silicon on sapphire is stable at a nitride system group's III-V semiconductor crystal growth temperature, and although there is an advantage to which quality 2 or 3-inch board is supplied stably, on the other hand, lattice mismatching with GaN is large (about 13%). For this reason, the buffer layer which consists of GaN or AlN with low-temperature growth is formed on silicon on sapphire, and the nitride system group III-V semiconductor is grown up on it. According to this, it is possible to grow up the nitride system group III-V semiconductor of a single crystal, but. It was difficult for the defect density to also have  $10^8 - 10^9$  (cm<sup>-2</sup>) grade reflecting lattice mismatching, for example, to acquire prolonged reliability in a semiconductor laser.

[0007]Since there is no (1) cleavability in silicon on sapphire in addition to this, stable formation of a laser end with high mirror plane nature Difficulty, (2) Since sapphire is insulation, when indispensable and (3) crystal growth films have thick extraction of p lateral electrode and n lateral electrode, from the substrate upper surface according to the difference of the coefficient of thermal expansion of a nitride system group III-V semiconductor and sapphire. The curvature of the substrate in a room temperature is large, and there are problems, such as interfering with an element formation process.

[0008]In the purpose of the quality improvement of a semiconducting crystal grown up on the substrate with which grating constants differ like silicon on sapphire, there is a method of using transverse direction selective growth (Epitaxial Lateral Overgrowth;

ELO). Although a high crystal quality field (transverse direction growing region), low crystal quality, or high defect density fields (a seed crystal top, the boundary, a meeting part, etc.) appear periodically in ELO, When the size of the active region (for example, field in which an electron runs with a luminous region and an electronic run element by a light emitting device) of an element is not large, the cycle of ELO, It can take more greatly than the emitter region / collector region (or source region/drain area) interval of the stripe of a semiconductor laser, or a transistor. For example, it is possible to design an active region in a quality field to the cycle of 10-20 micrometers of ELO, since the size of the active region of an element is about several micrometers.

[0009]When an element was formed on silicon on sapphire using ELO, there were the following problems, for example besides the problem resulting from the character of sapphire itself [, such as badness of above-mentioned cleavability, ].

- (1) The yield falls according to there being many routing counters required for ELO.
- (2) The big curvature by heat stress occurs in a substrate, and only a part required for ELO reduces the controllability of a crystal growth process or a wafer process, when crystal film thickness increases.
- (3) There is restriction of element size. In elements which are larger than an ELO cycle, for example, have an active region more than hundreds of micrometer angle, such as LED, a photodetector (PD), an integrated device, since all the element regions cannot be made into a high crystal quality field, the effect of ELO cannot be demonstrated.

[0010]Many above problems can be solved if a quality GaN board is obtained, but in an old trial, it was quality and the GaN board of the large caliber was not obtained. GaN cannot perform single crystal growth stably for the reasons of a stake etc. for generally obtaining the good seed crystal by elevated-temperature (high voltage) growth also by HVPE (halide vapor phase epitaxy), but manufacture of a quality board depends this on a difficult thing.

[0011]The manufacturing method of the single crystal GaN substrate aiming at aiming at an improvement of this problem is proposed by JP,2001-102307,A. According to this, a three-dimensional facet (it calls the following "core") is formed in part after forming the GaN species substrate of high defect density, crystal dislocation is centralized on this core part by continuing growth on the conditions which do not close a facet, and the field large as a result is manufacturing the quality substrate.

[0012]

[Problem(s) to be Solved by the Invention]However, the art indicated by JP,2001-102307,A, Since it is what decreases the penetration dislocation of other fields by centralizing especially penetration dislocation on a field with a growth phase, In the

obtained single crystal GaN substrate, the field (core) of low defect density and the field of high defect density are intermingled, and the position which the field of high defect density moreover generates cannot be controlled, but is generated at random. For this reason, when a nitride system group-III-V-semiconductor layer was grown up on this single crystal GaN substrate and a semiconductor device, for example, a semiconductor laser, was manufactured, it could not avoid that the field of high defect density will be formed in a luminous region, but the fall of the luminescent characteristic of a semiconductor laser or reliability was caused.

[0013]Therefore, this Object of the Invention has the good characteristics, such as a luminescent characteristic, and there are in providing the manufacturing method of the semiconductor light emitting element which can manufacture easily a reliable long lasting semiconductor light emitting element and such a semiconductor light emitting element.

[0014]More generally, this Object of the Invention has the good characteristic, and there is in providing the manufacturing method of the semiconductor device which can manufacture easily a reliable long lasting semiconductor device and such a semiconductor device.

[0015]Still more generally, this Object of the Invention has the good characteristic, and there is in providing the manufacturing method of the element which can manufacture easily reliable various kinds of long lasting elements and such elements.

[0016]This Object of the Invention, The long lasting semiconductor device or characteristic that the long lasting semiconductor light emitting element or characteristics that the characteristic is good and it is reliable, such as a luminescent characteristic, are good, and it is reliable uses for good and reliable manufacture of various kinds of long lasting elements, and A growing method of a suitable nitride system group-III-V-semiconductor layer, It is in providing the growing method of a semiconductor layer, and the growing method of a layer.

[0017]

[Means for Solving the Problem]this invention person inquired wholeheartedly, in order to solve an aforementioned problem. It is as follows when the outline is explained.

[0018]this invention person succeeded in controlling a position of a high defect density field generated all over a low defect density field, as a result of repeating improvement of art indicated by JP,2001-102307,A. Namely, into crystal growth, make a high defect density field condense automatically, and it is not formed, Artificially, on a substrate with a suitable GaAs substrate etc., it is circular and a seed crystal etc. are formed regularly, for example, periodically, for example, and by performing crystal growth on

it, a formation position of a high defect density field can be controlled, and it becomes possible to extend an improvement of crystal quality and a good crystalline region. In this case, an arrangement pattern of a high defect density field is freely changeable by arrangement of a seed crystal etc.

[0019]In a seed crystal etc., although formed, for example with materials other than nitride system groups III-V semiconductor other than GaN of polycrystal, and amorphous (amorphous) or a single crystal, and GaN(s), such as AlGaInN, and a nitride system group III-V semiconductor, here, As long as it is the structure used as a core (core) which specifies a crystal defect concentration position, it may be what kind of structure.

[0020]Using such a substrate, semiconductor light emitting elements, such as a semiconductor laser, and when manufacturing a semiconductor device more generally, a high defect density field which exists in a substrate needs to eliminate an adverse effect which it has on an element. That is, if a semiconductor layer is grown up on a substrate, in order for a defect to spread from a high defect density field of a substratum substrate to this semiconductor layer, it is necessary to prevent degradation of the characteristic of an element, a fall of reliability, etc. resulting from this defect.

[0021]It happens, also when this problem is homogeneous as a semiconductor used for an element, and it is difficult to obtain a substrate of low defect density, and growing up a semiconductor layer on it using a substrate of the same structure as the above. It happens, also when it is more generally homogeneous as material used for an element, and it difficult to obtain a substrate of low defect density, and growing up a layer on it using a substrate of the same structure as the above. As a result of examining many things, this invention person finds out the effective technique of the ability to solve the above-mentioned technical problem, and used to come to think out this invention.

[0022]Namely, in order to solve an aforementioned problem, an invention of the 1st of this invention, The 1st average dislocation density. A nitride system group-III-V-semiconductor layer in which two or more 2nd fields that have the 2nd average dislocation density higher than the 1st average dislocation density all over the 1st field that consists of a crystal which it has form light emitting element structure on the principal surface of a nitride system group-III-V-semiconductor board arranged regularly. It is a manufacturing method of a semiconductor light emitting element which manufactured a semiconductor light emitting element, and a nitride system group-III-V-semiconductor layer was kept from carrying out direct contact to the 2nd field on the principal surface of a nitride system group-III-V-semiconductor board by making it grow up.

[0023]In order for a nitride system group-III-V-semiconductor layer not to carry out direct contact to the 2nd field on the principal surface of a nitride system group-III-V-semiconductor board, Before growing up a nitride system group-III-V-semiconductor layer, specifically, the 2nd field is removed from the principal surface of a nitride system group-III-V-semiconductor board in part at least, for example. Before growing up a nitride system group-III-V-semiconductor layer, more specifically, the 2nd field is removed by predetermined Mr. Fukashi from the principal surface of the above-mentioned nitride system group-III-V-semiconductor board. Although the predetermined depth is suitably chosen according to composition of an element constituted by a nitride system group-III-V-semiconductor layer, a growing condition of a nitride system group-III-V-semiconductor layer, etc., here, Generally, 1 micrometers or more are made beyond a thickness grade (for example, not less than 10 micrometers) of an element suitably constituted using a nitride system group-III-V-semiconductor layer. Before growing up a nitride system group-III-V-semiconductor layer, the 2nd field may all be removed. Etching performs removal of the 2nd field typically and, specifically, wet etching, dry etching, thermochemistry etching, ion milling, etc. perform.

[0024]In order for a nitride system group-III-V-semiconductor layer not to carry out direct contact to the 2nd field on the principal surface of a nitride system group-III-V-semiconductor board, before growing up a nitride system group-III-V-semiconductor layer, the surface of the 2nd field may be covered by an enveloping layer. As this enveloping layer, as long as growing temperature can be borne, can use various kinds of things, and specifically, High-melting point metal membranes, those nitrides, etc., such as tungsten (W), molybdenum (Mo), tantalum (Ta), etc. besides insulator layers, such as a  $\text{SiO}_2$  film, an  $\text{Si}_x\text{N}_y$  film, and an SOG (Spin on Glass) film, can be used. In this case, although it is also good to form an enveloping layer on the 2nd field, when the 2nd field is removed from the principal surface of a nitride system group-III-V-semiconductor board to the predetermined depth, a portion from which this 2nd field was removed may be made to be buried by enveloping layer. In the case of the former, although the surface of an enveloping layer is in a position higher than the principal surface of a nitride system group-III-V-semiconductor board, when it is the latter, the surface of an enveloping layer can be coincided with the principal surface of a nitride system group-III-V-semiconductor board by using the technique of etchback etc.

[0025]Although an interval of the 2nd two field or an array cycle of the 2nd field which adjoins mutually is chosen according to a size of an element, etc., it is generally not less than 20 micrometers, not less than 50 micrometers, or not less than 100 micrometers.

Although what has a not necessarily clear interval of this 2nd field or a maximum of an array cycle of the 2nd field does not exist, generally it is about 1000 micrometers. This 2nd field has penetrated a nitride system group-III-V-semiconductor board typically. This 2nd field has unfixed multiple pillar-like shape typically. Between the 1st field and the 2nd field, it is higher than the 1st average dislocation density, And the 3rd field that has the 3rd average dislocation density lower than the 2nd average dislocation density exists as a transition region in many cases, In this case, although it is good to keep a nitride system group-III-V-semiconductor layer also from carrying out direct contact to the 2nd field on the principal surface of a nitride system group-III-V-semiconductor board, most suitably, A nitride system group-III-V-semiconductor layer is kept from carrying out direct contact to these 2nd field and 3rd field on the principal surface of a nitride system group-III-V-semiconductor board. In the case of the latter, before growing up a nitride system group-III-V-semiconductor layer, specifically, the 2nd field and 3rd field are removed from the principal surface of a nitride system group-III-V-semiconductor board in part at least, for example.

[0026]Not less than 10 micrometers 100 micrometers or less of diameters of the 2nd field are not less than 20 micrometers 50 micrometers or less more typically. When the 3rd field exists, typically, the diameter is larger than not less than 20 micrometers 200 micrometers or less, more typically large not less than 40 micrometers 160 micrometers or less, and most typically larger than a diameter of the 2nd field not less than 60 micrometers 140 micrometers or less.

[0027]Average dislocation density of the 2nd field is generally 5 or more times of dislocation density of the 1st field. Typically, average dislocation density of the 2nd field of average dislocation density of the 1st field is [ below  $2 \times 10^6 \text{ cm}^{-2}$  ] more than  $1 \times 10^8 \text{ cm}^{-2}$ . When the 3rd field exists, the average dislocation density is lower than  $1 \times 10^8 \text{ cm}^{-2}$ , and typically larger than  $2 \times 10^6 \text{ cm}^{-2}$ .

[0028]1 micrometers or more of luminous regions [ not less than 10 micrometers of / not less than 100 micrometers of ] of a semiconductor light emitting element are more suitably separated from the 2nd field, in order to prevent an adverse effect by the 2nd field where average dislocation density is high. When the 3rd field exists, a luminous region of a semiconductor light emitting element is kept from including the 2nd field and 3rd field most suitably. Although semiconductor light emitting elements are a semiconductor laser and a light emitting diode, when it is the former semiconductor laser, more specifically, 1 micrometers or more of fields [ not less than 10 micrometers of / not less than 100 micrometers of ] where driving current is sent via a stripe like electrode are more suitably separated from the 2nd field still more suitably. When the



3rd field exists, a field where driving current is sent via a stripe like electrode is kept from including the 2nd field and 3rd field most suitably. One or more number of stripe like electrodes, i.e., a laser stripe, may be formed, and can also choose the width if needed.

[0029]A nitride system group-III-V-semiconductor board or a nitride system group-III-V-semiconductor layer, Most generally aluminum<sub>x</sub>B<sub>y</sub>Ga<sub>1-x-y-z</sub>In<sub>z</sub>As<sub>u</sub>N<sub>1-u-v</sub>P<sub>v</sub>. It consists of ( $0 \leq x \leq 1$ ,  $0 \leq y \leq 1$ ,  $0 \leq z \leq 1$ ,  $0 \leq u \leq 1$ ,  $0 \leq v \leq 1$ ,  $0 \leq x+y+z < 1$ ,  $0 \leq u+v < 1$ ), [ however, ] More specifically aluminum<sub>x</sub>B<sub>y</sub>Ga<sub>1-x-y-z</sub>In<sub>z</sub>N. It consists of ( $0 \leq x \leq 1$ ,  $0 \leq y \leq 1$ ,  $0 \leq z \leq 1$ ,  $0 \leq x+y+z < 1$ ), and consists of aluminum<sub>x</sub>Ga<sub>1-x-z</sub>In<sub>z</sub>N (however,  $0 \leq x \leq 1$ ,  $0 \leq z \leq 1$ ) typically. [ however, ] A nitride system group-III-V-semiconductor board consists of GaN(s) most typically. More than which was described in relation to an invention of the 1st of this invention is materialized also about the following inventions, unless it is contrary to that character.

[0030]An invention of the 2nd of this invention, The 1st average defect density. A nitride system group-III-V-semiconductor layer in which two or more 2nd fields that have the 2nd average defect density higher than the 1st average defect density all over the 1st field that consists of a crystal which it has form light emitting element structure on the principal surface of a nitride system group-III-V-semiconductor board arranged regularly. It is a manufacturing method of a semiconductor light emitting element which manufactured a semiconductor light emitting element, and a nitride system group-III-V-semiconductor layer was kept from carrying out direct contact to the 2nd field on the principal surface of a nitride system group-III-V-semiconductor board by making it grow up.

[0031]here, "average defect density" means mean density of the whole lattice defect which has an adverse effect on the characteristic, reliability, etc. of an element, and all things, such as a rearrangement, a stacking fault, and a point defect, are contained in a defect (the following -- the same).

[0032]An invention of the 3rd of this invention, By growing up a nitride system group-III-V-semiconductor layer which forms light emitting element structure on the principal surface of a nitride system group-III-V-semiconductor board which two or more 2nd fields where crystallinity is worse than this 1st field have arranged regularly all over the 1st field that consists of crystals. It is a manufacturing method of a semiconductor light emitting element which manufactured a semiconductor light emitting element, and a nitride system group-III-V-semiconductor layer was kept from carrying out direct contact to the 2nd field on the principal surface of a nitride system group-III-V-semiconductor board.

[0033]here, typically, the 1st field that consists of crystals is a single crystal, and, as for the 2nd field where crystallinity is worse than this 1st field, amorphous or 2 a single crystal, polycrystal, or or more [ these ] are intermingled (the following -- the same). This corresponds with a case where the 2nd average dislocation density or average defect density of a field is higher than the 1st average dislocation density or average defect density of a field.

[0034]An invention of the 4th of this invention, The 1st average dislocation density. A nitride system group-III-V-semiconductor layer in which two or more 2nd fields that have the 2nd average dislocation density higher than the 1st average dislocation density all over the 1st field that consists of a crystal which it has form element structure on the principal surface of a nitride system group-III-V-semiconductor board arranged regularly. It is a manufacturing method of a semiconductor device which manufactured a semiconductor device, and a nitride system group-III-V-semiconductor layer was kept from carrying out direct contact to the 2nd field on the principal surface of a nitride system group-III-V-semiconductor board by making it grow up.

[0035]An invention of the 5th of this invention, The 1st average defect density. A nitride system group-III-V-semiconductor layer in which two or more 2nd fields that have the 2nd average defect density higher than the 1st average defect density all over the 1st field that consists of a crystal which it has form element structure on the principal surface of a nitride system group-III-V-semiconductor board arranged regularly. It is a manufacturing method of a semiconductor device which manufactured a semiconductor device, and a nitride system group-III-V-semiconductor layer was kept from carrying out direct contact to the 2nd field on the principal surface of a nitride system group-III-V-semiconductor board by making it grow up.

[0036]An invention of the 6th of this invention, By growing up a nitride system group-III-V-semiconductor layer which forms element structure on the principal surface of a nitride system group-III-V-semiconductor board which two or more 2nd fields where crystallinity is worse than this 1st field have arranged regularly all over the 1st field that consists of crystals. It is a manufacturing method of a semiconductor device which manufactured a semiconductor device, and a nitride system group-III-V-semiconductor layer was kept from carrying out direct contact to the 2nd field on the principal surface of a nitride system group-III-V-semiconductor board.

[0037]In the 4th of this invention - the 6th invention, to a semiconductor device. a photo detector and an electronic run element still like field effect transistors (FET), such as a high-electron mobility transistor, or a heterojunction bipolar transistor (HBT) besides a light emitting device like a light emitting diode or a semiconductor laser is contained

(the following -- the same).

[0038]In the 4th of this invention - the 6th invention, 1 micrometers or more of active regions [ not less than 10 micrometers of / not less than 100 micrometers of ] of a semiconductor device are more suitably separated from the 2nd field still more suitably, in order to prevent an adverse effect by the 2nd field where average dislocation density is high. When the 3rd field exists, an active region of a semiconductor device is kept from including the 2nd field and 3rd field most suitably. here, an active region means a luminous region and a field an electron runs in a light-receiving field and an electronic run element in a semiconductor photo detector in a semiconductor light emitting element (the following -- the same).

[0039]An invention of the 7th of this invention, By growing up a semiconductor layer by which two or more 2nd fields that have the 2nd average dislocation density higher than the 1st average dislocation density all over the 1st field that consists of a crystal which has the 1st average dislocation density form light emitting element structure on the principal surface of a semiconductor substrate arranged regularly. It is a manufacturing method of a semiconductor light emitting element which manufactured a semiconductor light emitting element, and a semiconductor layer was kept from carrying out direct contact to the 2nd field on the principal surface of a semiconductor substrate.

[0040]An invention of the 8th of this invention, By growing up a semiconductor layer by which two or more 2nd fields that have the 2nd average defect density higher than the 1st average defect density all over the 1st field that consists of a crystal which has the 1st average defect density form light emitting element structure on the principal surface of a semiconductor substrate arranged regularly. It is a manufacturing method of a semiconductor light emitting element which manufactured a semiconductor light emitting element, and a semiconductor layer was kept from carrying out direct contact to the 2nd field on the principal surface of a semiconductor substrate.

[0041]An invention of the 9th of this invention, It is a manufacturing method of a semiconductor light emitting element which manufactured a semiconductor light emitting element by growing up a semiconductor layer which forms light emitting element structure on the principal surface of a semiconductor substrate which two or more 2nd fields where crystallinity is worse than this 1st field have arranged regularly all over the 1st field that consists of crystals, A semiconductor layer was kept from carrying out direct contact to the 2nd field on the principal surface of a semiconductor substrate.

[0042]An invention of the 10th of this invention, By growing up a semiconductor layer

by which two or more 2nd fields that have the 2nd average dislocation density higher than the 1st average dislocation density all over the 1st field that consists of a crystal which has the 1st average dislocation density form element structure on the principal surface of a semiconductor substrate arranged regularly. It is a manufacturing method of a semiconductor device which manufactured a semiconductor device, and a semiconductor layer was kept from carrying out direct contact to the 2nd field on the principal surface of a semiconductor substrate.

[0043]An invention of the 11th of this invention, By growing up a semiconductor layer by which two or more 2nd fields that have the 2nd average defect density higher than the 1st average defect density all over the 1st field that consists of a crystal which has the 1st average defect density form element structure on the principal surface of a semiconductor substrate arranged regularly. It is a manufacturing method of a semiconductor device which manufactured a semiconductor device, and a semiconductor layer was kept from carrying out direct contact to the 2nd field on the principal surface of a semiconductor substrate.

[0044]An invention of the 12th of this invention, It is a manufacturing method of a semiconductor device which manufactured a semiconductor device by growing up a semiconductor layer which forms element structure on the principal surface of a semiconductor substrate which two or more 2nd fields where crystallinity is worse than this 1st field have arranged regularly all over the 1st field that consists of crystals, A semiconductor layer was kept from carrying out direct contact to the 2nd field on the principal surface of a semiconductor substrate.

[0045]In the 10th of this invention - the 12th invention, material of a semiconductor substrate or a semiconductor layer, Wurtzite type (wurtzit) structure besides a nitride system group III-V semiconductor, It may be other semiconductors which more generally have a crystal structure of a hexagonal system, for example, ZnO, alpha-ZnS, alpha-CdS, alpha-CdSe, etc., and they may be various kinds of semiconductors which have a crystal structure of further others.

[0046]An invention of the 13th of this invention, By growing up a layer in which two or more 2nd fields that have the 2nd average dislocation density higher than the 1st average dislocation density all over the 1st field that consists of a crystal which has the 1st average dislocation density form element structure on the principal surface of a substrate arranged regularly. It is a manufacturing method of an element which manufactured an element, and a layer was kept from carrying out direct contact to the 2nd field on the principal surface of a substrate.

[0047]An invention of the 14th of this invention, By growing up a layer in which two or

more 2nd fields that have the 2nd average defect density higher than the 1st average defect density all over the 1st field that consists of a crystal which has the 1st average defect density form element structure on the principal surface of a substrate arranged regularly. It is a manufacturing method of an element which manufactured an element, and a layer was kept from carrying out direct contact to the 2nd field on the principal surface of a substrate.

[0048]An invention of the 15th of this invention is a manufacturing method of an element which manufactured an element by growing up a layer which forms element structure on the principal surface of a substrate which two or more 2nd fields where crystallinity is worse than this 1st field have arranged regularly all over the 1st field that consists of crystals, A layer was kept from carrying out direct contact to the 2nd field on the principal surface of a substrate.

[0049]In the 13th of this invention - the 15th invention, an element is a piezoelectric element, a pyroelectric element, optical elements (the second harmonic generation element using a nonlinear optical crystal, etc.), a dielectric element (a ferroelectric element is included), a superconducting element, etc. besides semiconductor devices (a light emitting device, a photo detector, an electronic run element, etc.). In this case, by a semiconductor device, various kinds of above semiconductors can be used for material of a substrate or a layer, and various kinds of materials, such as an oxide, can be used for it by piezoelectric element, pyroelectric element, optical element, dielectric element, and a superconducting element. About an oxide material. For example, Journal of the Society. There are many things, such as what was indicated by of Japan Vol.103, No.11(1995)pp.1099-1111, and Materials Science and Engineering B41 (1996) 166-173.

[0050]Two or more 2nd fields that have the 2nd average dislocation density higher than the 1st average dislocation density all over the 1st field that consists of a crystal which has the 1st average dislocation density arrange an invention of the 16th of this invention regularly at the 1st interval in the 1st direction, By growing up a nitride system group-III-V-semiconductor layer which forms light emitting element structure on the principal surface of a nitride system group-III-V-semiconductor board regularly arranged at the 2nd interval smaller than the 1st interval in the 1st direction and the 2nd direction that intersects perpendicularly. It is a manufacturing method of a semiconductor light emitting element which manufactured a semiconductor light emitting element, and a nitride system group-III-V-semiconductor layer was kept from carrying out direct contact to the 2nd field on the principal surface of a nitride system group-III-V-semiconductor board.

[0051]Two or more 2nd fields that have the 2nd average defect density higher than the

1st average defect density all over the 1st field that consists of a crystal which has the 1st average defect density arrange an invention of the 17th of this invention regularly at the 1st interval in the 1st direction, By growing up a nitride system group-III-V-semiconductor layer which forms light emitting element structure on the principal surface of a nitride system group-III-V-semiconductor board regularly arranged at the 2nd interval smaller than the 1st interval in the 1st direction and the 2nd direction that intersects perpendicularly. It is a manufacturing method of a semiconductor light emitting element which manufactured a semiconductor light emitting element, and a nitride system group-III-V-semiconductor layer was kept from carrying out direct contact to the 2nd field on the principal surface of a nitride system group-III-V-semiconductor board.

[0052]Two or more 2nd fields where crystallinity is worse than this 1st field arrange an invention of the 18th of this invention regularly at the 1st interval in the 1st direction all over the 1st field that consists of crystals, By growing up a nitride system group-III-V-semiconductor layer which forms light emitting element structure on the principal surface of a nitride system group-III-V-semiconductor board regularly arranged at the 2nd interval smaller than the 1st interval in the 1st direction and the 2nd direction that intersects perpendicularly. It is a manufacturing method of a semiconductor light emitting element which manufactured a semiconductor light emitting element, and a nitride system group-III-V-semiconductor layer was kept from carrying out direct contact to the 2nd field on the principal surface of a nitride system group-III-V-semiconductor board.

[0053]An invention of the 19th of this invention, The 1st average dislocation density. Two or more 2nd fields that extend in linear shape which has the 2nd average dislocation density higher than the 1st average dislocation density all over the 1st field that consists of a crystal which it has on the principal surface of a nitride system group-III-V-semiconductor board arranged regularly mutually in parallel light emitting element structure. It is a manufacturing method of a semiconductor light emitting element which manufactured a semiconductor light emitting element by growing up a nitride system group-III-V-semiconductor layer to form, A nitride system group-III-V-semiconductor layer was kept from carrying out direct contact to the 2nd field on the principal surface of a nitride system group-III-V-semiconductor board.

[0054]An invention of the 20th of this invention, The 1st average defect density. Two or more 2nd fields that extend in linear shape which has the 2nd average defect density higher than the 1st average defect density all over the 1st field that consists of a crystal which it has on the principal surface of a nitride system group-III-V-semiconductor

board arranged regularly mutually in parallel light emitting element structure. It is a manufacturing method of a semiconductor light emitting element which manufactured a semiconductor light emitting element by growing up a nitride system group-III-V-semiconductor layer to form, A nitride system group-III-V-semiconductor layer was kept from carrying out direct contact to the 2nd field on the principal surface of a nitride system group-III-V-semiconductor board.

[0055]An invention of the 21st of this invention, Two or more 2nd fields where crystallinity extends in bad linear shape from this 1st field all over the 1st field that consists of crystals a nitride system group-III-V-semiconductor layer which forms light emitting element structure on the principal surface of a nitride system group-III-V-semiconductor board arranged regularly mutually in parallel. It is a manufacturing method of a semiconductor light emitting element which manufactured a semiconductor light emitting element, and a nitride system group-III-V-semiconductor layer was kept from carrying out direct contact to the 2nd field on the principal surface of a nitride system group-III-V-semiconductor board by making it grow up.

[0056]Two or more 2nd fields that have the 2nd average dislocation density higher than the 1st average dislocation density all over the 1st field that consists of a crystal which has the 1st average dislocation density arrange an invention of the 22nd of this invention regularly at the 1st interval in the 1st direction, By growing up a nitride system group-III-V-semiconductor layer which forms element structure on the principal surface of a nitride system group-III-V-semiconductor board regularly arranged at the 2nd interval smaller than the 1st interval in the 1st direction and the 2nd direction that intersects perpendicularly. It is a manufacturing method of a semiconductor device which manufactured a semiconductor device, and a nitride system group-III-V-semiconductor layer was kept from carrying out direct contact to the 2nd field on the principal surface of a nitride system group-III-V-semiconductor board.

[0057]Two or more 2nd fields that have the 2nd average defect density higher than the 1st average defect density all over the 1st field that consists of a crystal which has the 1st average defect density arrange an invention of the 23rd of this invention regularly at the 1st interval in the 1st direction, By growing up a nitride system group-III-V-semiconductor layer which forms element structure on the principal surface of a nitride system group-III-V-semiconductor board regularly arranged at the 2nd interval smaller than the 1st interval in the 1st direction and the 2nd direction that intersects perpendicularly. It is a manufacturing method of a semiconductor device which manufactured a semiconductor device, and a nitride system group-III-V-semiconductor layer was kept from carrying out direct contact to the 2nd

field on the principal surface of a nitride system group-III-V-semiconductor board.

[0058]Two or more 2nd fields where crystallinity is worse than this 1st field arrange an invention of the 24th of this invention regularly at the 1st interval in the 1st direction all over the 1st field that consists of crystals, By growing up a nitride system group-III-V-semiconductor layer which forms element structure on the principal surface of a nitride system group-III-V-semiconductor board regularly arranged at the 2nd interval smaller than the 1st interval in the 1st direction and the 2nd direction that intersects perpendicularly. It is a manufacturing method of a semiconductor device which manufactured a semiconductor device, and a nitride system group-III-V-semiconductor layer was kept from carrying out direct contact to the 2nd field on the principal surface of a nitride system group-III-V-semiconductor board.

[0059]An invention of the 25th of this invention, The 1st average dislocation density. Two or more 2nd fields that extend in linear shape which has the 2nd average dislocation density higher than the 1st average dislocation density all over the 1st field that consists of a crystal which it has on the principal surface of a nitride system group-III-V-semiconductor board arranged regularly mutually in parallel element structure. It is a manufacturing method of a semiconductor device which manufactured a semiconductor device by growing up a nitride system group-III-V-semiconductor layer to form, A nitride system group-III-V-semiconductor layer was kept from carrying out direct contact to the 2nd field on the principal surface of a nitride system group-III-V-semiconductor board.

[0060]An invention of the 26th of this invention, The 1st average defect density. Two or more 2nd fields that extend in linear shape which has the 2nd average defect density higher than the 1st average defect density all over the 1st field that consists of a crystal which it has on the principal surface of a nitride system group-III-V-semiconductor board arranged regularly mutually in parallel element structure. It is a manufacturing method of a semiconductor device which manufactured a semiconductor device by growing up a nitride system group-III-V-semiconductor layer to form, A nitride system group-III-V-semiconductor layer was kept from carrying out direct contact to the 2nd field on the principal surface of a nitride system group-III-V-semiconductor board.

[0061]An invention of the 27th of this invention, Two or more 2nd fields where crystallinity extends in bad linear shape from this 1st field all over the 1st field that consists of crystals a nitride system group-III-V-semiconductor layer which forms element structure on the principal surface of a nitride system group-III-V-semiconductor board arranged regularly mutually in parallel. It is a manufacturing method of a semiconductor device which manufactured a semiconductor device, and a nitride system



group-III-V-semiconductor layer was kept from carrying out direct contact to the 2nd field on the principal surface of a nitride system group-III-V-semiconductor board by making it grow up.

[0062]Two or more 2nd fields that have the 2nd average dislocation density higher than the 1st average dislocation density all over the 1st field that consists of a crystal which has the 1st average dislocation density arrange an invention of the 28th of this invention regularly at the 1st interval in the 1st direction, It is a manufacturing method of a semiconductor light emitting element which manufactured a semiconductor light emitting element by growing up a semiconductor layer which forms light emitting element structure on the principal surface of a semiconductor substrate regularly arranged at the 2nd interval smaller than the 1st interval in the 1st direction and the 2nd direction that intersects perpendicularly, A semiconductor layer was kept from carrying out direct contact to the 2nd field on the principal surface of a semiconductor substrate.

[0063]Two or more 2nd fields that have the 2nd average defect density higher than the 1st average defect density all over the 1st field that consists of a crystal which has the 1st average defect density arrange an invention of the 29th of this invention regularly at the 1st interval in the 1st direction, It is a manufacturing method of a semiconductor light emitting element which manufactured a semiconductor light emitting element by growing up a semiconductor layer which forms light emitting element structure on the principal surface of a semiconductor substrate regularly arranged at the 2nd interval smaller than the 1st interval in the 1st direction and the 2nd direction that intersects perpendicularly, A semiconductor layer was kept from carrying out direct contact to the 2nd field on the principal surface of a semiconductor substrate.

[0064]Two or more 2nd fields where crystallinity is worse than this 1st field arrange an invention of the 30th of this invention regularly at the 1st interval in the 1st direction all over the 1st field that consists of crystals, It is a manufacturing method of a semiconductor light emitting element which manufactured a semiconductor light emitting element by growing up a semiconductor layer which forms light emitting element structure on the principal surface of a semiconductor substrate regularly arranged at the 2nd interval smaller than the 1st interval in the 1st direction and the 2nd direction that intersects perpendicularly, A semiconductor layer was kept from carrying out direct contact to the 2nd field on the principal surface of a semiconductor substrate.

[0065]An invention of the 31st of this invention, The 1st average dislocation density. By growing up a semiconductor layer by which two or more 2nd fields that extend in linear shape which has the 2nd average dislocation density higher than the 1st average dislocation density all over the 1st field that consists of a crystal which it has form light

emitting element structure on the principal surface of a semiconductor substrate arranged regularly mutually in parallel. It is a manufacturing method of a semiconductor light emitting element which manufactured a semiconductor light emitting element, and a semiconductor layer was kept from carrying out direct contact to the 2nd field on the principal surface of a semiconductor substrate.

[0066]An invention of the 32nd of this invention, The 1st average defect density. By growing up a semiconductor layer by which two or more 2nd fields that extend in linear shape which has the 2nd average defect density higher than the 1st average defect density all over the 1st field that consists of a crystal which it has form light emitting element structure on the principal surface of a semiconductor substrate arranged regularly mutually in parallel. It is a manufacturing method of a semiconductor light emitting element which manufactured a semiconductor light emitting element, and a semiconductor layer was kept from carrying out direct contact to the 2nd field on the principal surface of a semiconductor substrate.

[0067]An invention of the 33rd of this invention, By growing up a semiconductor layer by which two or more 2nd fields where crystallinity extends in bad linear shape from this 1st field all over the 1st field that consists of crystals form light emitting element structure on the principal surface of a semiconductor substrate arranged regularly mutually in parallel. It is a manufacturing method of a semiconductor light emitting element which manufactured a semiconductor light emitting element, and a semiconductor layer was kept from carrying out direct contact to the 2nd field on the principal surface of a semiconductor substrate.

[0068]Two or more 2nd fields that have the 2nd average dislocation density higher than the 1st average dislocation density all over the 1st field that consists of a crystal which has the 1st average dislocation density arrange an invention of the 34th of this invention regularly at the 1st interval in the 1st direction, It is a manufacturing method of a semiconductor device which manufactured a semiconductor device by growing up a semiconductor layer which forms element structure on the principal surface of a semiconductor substrate regularly arranged at the 2nd interval smaller than the 1st interval in the 1st direction and the 2nd direction that intersects perpendicularly, A semiconductor layer was kept from carrying out direct contact to the 2nd field on the principal surface of a semiconductor substrate.

[0069]Two or more 2nd fields that have the 2nd average defect density higher than the 1st average defect density all over the 1st field that consists of a crystal which has the 1st average defect density arrange an invention of the 35th of this invention regularly at the 1st interval in the 1st direction, It is a manufacturing method of a semiconductor

device which manufactured a semiconductor device by growing up a semiconductor layer which forms element structure on the principal surface of a semiconductor substrate regularly arranged at the 2nd interval smaller than the 1st interval in the 1st direction and the 2nd direction that intersects perpendicularly, A semiconductor layer was kept from carrying out direct contact to the 2nd field on the principal surface of a semiconductor substrate.

[0070]Two or more 2nd fields where crystallinity is worse than this 1st field arrange an invention of the 36th of this invention regularly at the 1st interval in the 1st direction all over the 1st field that consists of crystals, It is a manufacturing method of a semiconductor device which manufactured a semiconductor device by growing up a semiconductor layer which forms element structure on the principal surface of a semiconductor substrate regularly arranged at the 2nd interval smaller than the 1st interval in the 1st direction and the 2nd direction that intersects perpendicularly, A semiconductor layer was kept from carrying out direct contact to the 2nd field on the principal surface of a semiconductor substrate.

[0071]An invention of the 37th of this invention, By growing up a semiconductor layer by which two or more 2nd fields that extend in linear shape which has the 2nd average dislocation density higher than the 1st average dislocation density all over the 1st field that consists of a crystal which has the 1st average dislocation density form element structure on the principal surface of a semiconductor substrate arranged regularly mutually in parallel. It is a manufacturing method of a semiconductor device which manufactured a semiconductor device, and a semiconductor layer was kept from carrying out direct contact to the 2nd field on the principal surface of a semiconductor substrate.

[0072]An invention of the 38th of this invention, By growing up a semiconductor layer by which two or more 2nd fields that extend in linear shape which has the 2nd average defect density higher than the 1st average defect density all over the 1st field that consists of a crystal which has the 1st average defect density form element structure on the principal surface of a semiconductor substrate arranged regularly mutually in parallel. It is a manufacturing method of a semiconductor device which manufactured a semiconductor device, and a semiconductor layer was kept from carrying out direct contact to the 2nd field on the principal surface of a semiconductor substrate.

[0073]An invention of the 39th of this invention, By growing up a semiconductor layer by which two or more 2nd fields where crystallinity extends in bad linear shape from this 1st field all over the 1st field that consists of crystals form element structure on the principal surface of a semiconductor substrate arranged regularly mutually in parallel. It

is a manufacturing method of a semiconductor device which manufactured a semiconductor device, and a semiconductor layer was kept from carrying out direct contact to the 2nd field on the principal surface of a semiconductor substrate.

[0074]Two or more 2nd fields that have the 2nd average dislocation density higher than the 1st average dislocation density all over the 1st field that consists of a crystal which has the 1st average dislocation density arrange an invention of the 40th of this invention regularly at the 1st interval in the 1st direction, It is a manufacturing method of an element which manufactured an element by growing up a layer which forms element structure on the principal surface of a substrate regularly arranged at the 2nd interval smaller than the 1st interval in the 1st direction and the 2nd direction that intersects perpendicularly, A layer was kept from carrying out direct contact to the 2nd field on the principal surface of a substrate.

[0075]Two or more 2nd fields that have the 2nd average defect density higher than the 1st average defect density all over the 1st field that consists of a crystal which has the 1st average defect density arrange an invention of the 41st of this invention regularly at the 1st interval in the 1st direction, It is a manufacturing method of an element which manufactured an element by growing up a layer which forms element structure on the principal surface of a substrate regularly arranged at the 2nd interval smaller than the 1st interval in the 1st direction and the 2nd direction that intersects perpendicularly, A layer was kept from carrying out direct contact to the 2nd field on the principal surface of a substrate.

[0076]Two or more 2nd fields where crystallinity is worse than this 1st field arrange an invention of the 42nd of this invention regularly at the 1st interval in the 1st direction all over the 1st field that consists of crystals, It is a manufacturing method of an element which manufactured an element by growing up a layer which forms element structure on the principal surface of a substrate regularly arranged at the 2nd interval smaller than the 1st interval in the 1st direction and the 2nd direction that intersects perpendicularly, A layer was kept from carrying out direct contact to the 2nd field on the principal surface of a substrate.

[0077]An invention of the 43rd of this invention, By growing up a layer in which two or more 2nd fields that extend in linear shape which has the 2nd average dislocation density higher than the 1st average dislocation density all over the 1st field that consists of a crystal which has the 1st average dislocation density form element structure on the principal surface of a substrate arranged regularly mutually in parallel. It is a manufacturing method of an element which manufactured an element, and a layer was kept from carrying out direct contact to the 2nd field on the principal surface of a

substrate.

[0078]An invention of the 44th of this invention, By growing up a layer in which two or more 2nd fields that extend in linear shape which has the 2nd average defect density higher than the 1st average defect density all over the 1st field that consists of a crystal which has the 1st average defect density form element structure on the principal surface of a substrate arranged regularly mutually in parallel. It is a manufacturing method of an element which manufactured an element, and a layer was kept from carrying out direct contact to the 2nd field on the principal surface of a substrate.

[0079]An invention of the 45th of this invention, It is a manufacturing method of an element which manufactured an element by growing up a layer in which two or more 2nd fields where crystallinity extends in bad linear shape from this 1st field all over the 1st field that consists of crystals form element structure on the principal surface of a substrate arranged regularly mutually in parallel, A layer was kept from carrying out direct contact to the 2nd field on the principal surface of a substrate.

[0080]In the 16th of this invention - the 45th invention, an interval of the 2nd field that extends in an interval (the 1st interval) of the 2nd field of the 1st direction or linear shape is the same as that of an interval of the 2nd field or an arrangement interval of the 2nd field described in relation to an invention of the 1st of this invention. An interval of the 2nd field that extends in an interval (the 1st interval) of the 2nd field of the 1st direction or linear shape is the same as that of an interval of the 2nd field or an arrangement interval of the 2nd field described in relation to an invention of the 1st of this invention except for being not less than 50 micrometers typically. Although an interval of the 2nd field of the 2nd direction can be freely chosen in the range smaller than the 1st interval fundamentally, and is a thing in the 16th - the 18 of this invention, the 22nd - the 24, the 28th - the 30, the 34th - the 36, the 40th - the 42nd invention and it is based also on a size of the 2nd field, Generally, not less than 10 micrometers 1000 micrometers or less are not less than 20 micrometers 200 micrometers or less typically. Typically in a field (henceforth a "element region") which serves as a chip by scribing of a substrate eventually, the 2nd seven or more fields that extend in a sequence of the 2nd field of the 2nd direction or linear shape are not included substantially. Having made into seven here a number of the 2nd field of maximums which extend in a sequence of the 2nd field of the 2nd direction or linear shape, It takes into consideration that about seven may be contained by a relation with a chip size of an element in an element region depending on an interval of the 2nd field that extends in a sequence of the 2nd field of the 2nd direction, or linear shape. Generally the number of the 2nd fields that extend in a sequence of the 2nd field of this 2nd direction or linear shape is

three or less typically in a semiconductor light emitting element with a small chip size.

[0081]In the 16th of this invention - the 45th invention, unless anythings other than the above are contrary to that character, having stated in relation to the 1st of this invention - the 15th invention is materialized.

[0082]An invention of the 46th of this invention, The 1st average dislocation density. So that a nitride system group-III-V-semiconductor layer may be grown up on the principal surface of a nitride system group-III-V-semiconductor board which has the 2nd field that has the 2nd average dislocation density higher than the 1st average dislocation density all over the 1st field that consists of a crystal which it has. It is a growing method of a nitride system group-III-V-semiconductor layer carried out, and a nitride system group-III-V-semiconductor layer was kept from carrying out direct contact to the 2nd field on the principal surface of a nitride system group-III-V-semiconductor board.

[0083]An invention of the 47th of this invention, The 1st average defect density. So that a nitride system group-III-V-semiconductor layer may be grown up on the principal surface of a nitride system group-III-V-semiconductor board which has the 2nd field that has the 2nd average defect density higher than the 1st average defect density all over the 1st field that consists of a crystal which it has. It is a growing method of a nitride system group-III-V-semiconductor layer carried out, and a nitride system group-III-V-semiconductor layer was kept from carrying out direct contact to the 2nd field on the principal surface of a nitride system group-III-V-semiconductor board.

[0084]An invention of the 48th of this invention, It is a growing method of a nitride system group-III-V-semiconductor layer it was made to grow up a nitride system group-III-V-semiconductor layer from this 1st field all over the 1st field that consists of crystals on the principal surface of a nitride system group-III-V-semiconductor board with which crystallinity has the 2nd bad field, A nitride system group-III-V-semiconductor layer was kept from carrying out direct contact to the 2nd field on the principal surface of a nitride system group-III-V-semiconductor board.

[0085]An invention of the 49th of this invention is a growing method of a semiconductor layer it was made to grow up a semiconductor layer on the principal surface of a semiconductor substrate which has the 2nd field that has the 2nd average dislocation density higher than the 1st average dislocation density all over the 1st field that consists of a crystal which has the 1st average dislocation density, A semiconductor layer was kept from carrying out direct contact to the 2nd field on the principal surface of a semiconductor substrate.

[0086]An invention of the 50th of this invention is a growing method of a

semiconductor layer it was made to grow up a semiconductor layer on the principal surface of a semiconductor substrate which has the 2nd field that has the 2nd average defect density higher than the 1st average defect density all over the 1st field that consists of a crystal which has the 1st average defect density, A semiconductor layer was kept from carrying out direct contact to the 2nd field on the principal surface of a semiconductor substrate.

[0087]An invention of the 51st of this invention is a growing method of a semiconductor layer it was made to grow up a semiconductor layer from this 1st field on the principal surface of a substrate with which crystallinity has the 2nd bad field all over the 1st field that consists of crystals, A semiconductor layer was kept from carrying out direct contact to the 2nd field on the principal surface of a semiconductor substrate.

[0088]An invention of the 52nd of this invention is a growing method of a layer it was made to grow up a layer on the principal surface of a substrate which has the 2nd field that has the 2nd average dislocation density higher than the 1st average dislocation density all over the 1st field that consists of a crystal which has the 1st average dislocation density, A layer was kept from carrying out direct contact to the 2nd field on the principal surface of a substrate.

[0089]An invention of the 53rd of this invention is a growing method of a layer it was made to grow up a layer on the principal surface of a substrate which has the 2nd field that has the 2nd average defect density higher than the 1st average defect density all over the 1st field that consists of a crystal which has the 1st average defect density, A layer was kept from carrying out direct contact to the 2nd field on the principal surface of a substrate.

[0090]Crystallinity is a growing method of a layer it was made to grow up a layer on the principal surface of a substrate which has the 2nd bad field, and a layer was kept from carrying out direct contact of the invention of the 54th of this invention to the 2nd field on the principal surface of a substrate from this 1st field all over the 1st field that consists of crystals.

[0091]In the 46th of this invention - the 54th invention, it is the same with having stated in relation to the 1st of this invention - the 15th invention about material of a nitride system group-III-V-semiconductor board, a nitride system group-III-V-semiconductor layer, a semiconductor substrate, a semiconductor layer, a substrate, and a layer.

[0092]In this invention constituted as mentioned above, A nitride system group-III-V-semiconductor layer which forms light emitting element structure or element structure, Or a semiconductor layer or a layer which consists of various kinds

of materials on the principal surface of a nitride system group-III-V-semiconductor board, a semiconductor substrate, or a substrate, Since crystallinity is kept from carrying out direct contact to the 2nd bad field highly [ average defect density ] more highly [ average dislocation density ] than the 1st field, An adverse effect by the 2nd field can be prevented from attaining to a nitride system group-III-V-semiconductor layer which forms light emitting element structure or element structure, a semiconductor layer, or a layer which consists of various kinds of materials.

[0093]

[Embodiment of the Invention]Hereafter, it explains, referring to drawings for the embodiment of this invention. In the complete diagram of an embodiment, the same numerals are given to the portion which is the same or corresponds. Drawing 1 and drawing 2 show the GaN board 1 used in a 1st embodiment of this invention, and, as for drawing 1 A, the sectional view of the maximum approaching direction of the field B and drawing 2 of perspective view and drawing 1 B are top views. This GaN board 1 is a field (0001) (C side) direction in a n type. However, the GaN board 1 may be a thing of R side, A side, or M plane direction. In this GaN board 1, the field B which consists of a crystal with high average dislocation density into the field A which consists of a crystal with low average dislocation density has arranged periodically in the shape of a hexagonal lattice. here -- the field B -- unfixed diversification -- although it is common to have pillar-shaped shape, in drawing 1 A, it simplifies and is considered as cylindrical shape (the following -- the same). In this case, the straight line which connects field B of the maximum contiguity is in agreement with the  $\langle 1-100 \rangle$  direction of GaN, and a direction equivalent to it. However, the straight line which connects field B of the maximum contiguity may be made in agreement with the  $\langle 11-20 \rangle$  direction of GaN, and a direction equivalent to it. The field B has penetrated the GaN board 1. The thickness of this GaN board 1 is 200-600 micrometers. the dashed line of drawing 2 is for showing the relative physical relationship of the field B, and is not a line (a physical meaning -- it is) which exists really (the following -- the same).

[0094]The array cycle (interval of the centers of the field B of the maximum contiguity) of the field B is 400 micrometers, and the diameter is 20 micrometers. The average dislocation density of for example,  $2 \times 10^6 \text{ cm}^{-2}$  and the field B of the average dislocation density of the field A is for example,  $1 \times 10^8 \text{ cm}^{-2}$ . An example of distribution of radial dislocation density is shown in drawing 3 from the center of the field B. This GaN board 1 can be manufactured as follows, using crystal growth art. The fundamental crystal growth mechanism used for manufacture of this GaN board 1 makes a rearrangement spread by having a slant face which consists of facet surfaces, growing



up it, maintaining that facet surface slant face and growing up it, and gathers a position. The field grown-up according to this facet surface turns into a defect region of low density by movement of a rearrangement. It has a high-density defect region with a clear boundary, and growth is performed, and rearrangements gather to the boundary of a high-density defect region, or its inside, and are disappeared or accumulated in the facet surface slant-face lower part here. The shape of a facet surface also changes with shape of this high-density defect region. When a defect region is dot form, facet surfaces surround by using the dot as a bottom, and the pit which consists of facet surfaces is formed. When a defect region is stripe shape, by using a stripe as the bottom of a valley, it has a facet surface slant face on the both sides, and becomes a facet surface of the shape of prism of the triangle pushed down horizontally. Then, by giving grinding and polish on the surface of a growth phase, flattening of the surface can be carried out and it can be considered as the gestalt which can be used as a substrate. The above-mentioned high-density defect region may have some states. For example, it may consist of polycrystals. Although it is a single crystal, it may fine-incline to a surrounding low density defect region. C axis may be reversed to a surrounding low density defect region. In this way, this high-density defect region has a clear boundary, and is distinguished the surroundings. Without embedding the facet surface around it by having this high-density defect region and growing up it, a facet surface can be maintained and growth can be gone on. This high-density defect region can be generated by forming the seed in the place which forms a high-density defect region beforehand, when carrying out crystal growth of the GaN on a substratum substrate. As the kind, amorphous or the layer of polycrystal is formed. Moreover, a high-density defect region can be exactly formed in the kind of field by growing up GaN. The concrete manufacturing method of this GaN board 1 is as follows. First, a substratum substrate is prepared. Although various substrates can be used as this substratum substrate and general silicon on sapphire may be sufficient, when it takes removing by a post process into consideration, it is preferred to use the GaAs substrate etc. which are easy to remove. And the kind which consists of a  $\text{SiO}_2$  film, for example is formed on this substratum substrate. This kind of shape can be made into dot form or stripe shape, for example. This kind is regular and can be formed. [ many ] More specifically, a seed is formed in this case by the arrangement corresponding to arrangement of the field B shown in drawing 2. Then, for example, thick film growth of the GaN is carried out by hydride vapor phase epitaxy (HVPE). The facet surface according to the pattern shape of the seed is formed in the surface of the thick film layer of GaN after growth. When a seed is a dot form pattern like this 1st embodiment, the pit which consists of facet

surfaces is formed regularly. On the other hand, when a seed is a pattern of stripe shape, a prism-like facet surface is formed. then -- removing a substratum substrate -- further -- the thick film layer of GaN -- a grinding process -- polishing work is carried out and flattening of the surface is carried out. The GaN board 1 can be manufactured by this. Here, the thickness of the GaN board 1 can be set up freely. Thus, C side is the principal surface and the manufactured GaN board 1 is the substrate with which the dot form (or stripe shape) high-density defect region B of predetermined size, i.e., a field, was regularly formed into it. Compared with the field B, single crystal regions A other than the field B, i.e., a field, serve as low dislocation density.

[0095]A dashed line shows typically the rearrangement which exists in the field B of this GaN board 1 to drawing 4. If the GaN system semiconductor layer L is grown up on such a GaN board 1 as shown in drawing 5, to this GaN system semiconductor layer L, a rearrangement will spread from the field B of the GaN board 1 of a ground, and quality will deteriorate.

[0096]Then, in this 1st embodiment, as shown in drawing 6, only depth D removes the upper part of the field B by etching. Depth D may be 1-10 micrometers. By carrying out like this, the surface of the field B can fully be separated from the principal surface of the GaN board 1. And as shown in drawing 7, the GaN system semiconductor layer L which forms element structure by an organometal chemistry vapor-phase-epitaxy (MOCVD) method etc. on this GaN board 1 is grown up. Since the field which this rearrangement spreads is limited very in part, the adverse effect by that field can be prevented from attaining to the GaN system semiconductor layer L grown-up on the principal surface of the GaN board 1, although a rearrangement spreads from the field B into the portion which grew on the field B among this GaN system semiconductor layer L.

[0097]Etching of the field B can be performed as follows. Generally, nitride system groups III-V semiconductor, such as GaN, are chemically stable, and if acid, such as hot strong bases, such as sodium hydroxide, strong chloride, and phosphoric acid, is removed, wet etching will not happen near a room temperature. However, the field B has much defect density high on dislocation density and a general twist target in the GaN board 1 compared with the field A. The integrated state of the atom in which this defect density constitutes a crystal from the high field B compared with the field A is imperfect, and from the field A near a perfect crystal, since the etch rate is quick, the field B can be selectively etched to the field A. Although the mask of the surface of the field A may be carried out and this etching may perform it by resist etc., it can etch the field B selectively also by carrying out overall etching of the GaN board 1. In order to

gather an etch rate, it may etch by making temperature of an etching reagent high. A potassium hydrate (KOH) can be used for an etching reagent as an alkali solution, and phosphoric acid etc. can be used for it as acid, for example. If the example of an etching method is given, heating maintenance of the KOH solution put in the etching tub will be carried out at 75 \*\*, the GaN board 1 will be dipped for 10 minutes into it, the GaN board 1 after the end of etching will be taken out, pure water washing will be performed, and it will dry by the blow of dry nitrogen. By this etching, the field B is removable by about 5-micrometer Fukashi. That the rear face of the GaN board 1 is etched at the time of this etching, and a rough surface etc. occur here in order to prevent, Ti/Pt film which laminated the 20-nm-thick Ti film and the 300-nm-thick Pt film one by one are formed in the rear face of the GaN board 1 with a vacuum deposition method etc. if needed, and it is considered as a protective film, and may be made to etch after that. Etching removal of this the Ti/Pt film can be carried out with aqua regia.

[0098]In addition to the above-mentioned wet etching, dry etching like reactive ion etching (RIE) may perform etching of the field B, for example, Thermochemical etching by carrying out fixed time heating maintenance at the temperature of not less than 800 \*\* by a hydrogen atmosphere, ammonia atmosphere, etc. may perform.

[0099]Next, an example of the concrete manufacturing process of the GaN system semiconductor laser using the GaN board 1 shown in drawing 6 is explained. Here, the GaN system semiconductor laser which has ridge structure and SCH (Separate Confinement Heterostructure) structure is explained.

[0100]Namely, first, as shown in drawing 8, after defecating the surface of the GaN board 1 by thermal cleaning etc., on it by the MOCVD method. N type GaN buffer layer 5, the n type AlGaIn clad layer 6, the n type GaN lightguide 7, the active layer 8 of undoped  $\text{Ga}_{1-x}\text{In}_x\text{N}/\text{Ga}_{1-y}\text{In}_y\text{N}$  multiple quantum well structure, the undoped InGaIn deterioration prevention layer 9, The p type AlGaIn cap layer 10, the p type GaN lightguide 11, the p type AlGaIn clad layer 12, and the p type GaN contact layer 13 are grown epitaxially one by one.

[0101]Here, as for n type GaN buffer layer 5, thickness is 0.05 micrometer and Si is doped as a n type impurity. Thickness is 1.0 micrometer, Si is doped as a n type impurity and the Al composition of the n type AlGaIn clad layer 6 is 0.08. As for the n type GaN lightguide 7, thickness is 0.1 micrometer and Si is doped as a n type impurity. The active layer 8 of undoped  $\text{In}_x\text{Ga}_{1-x}\text{N}/\text{In}_y\text{Ga}_{1-y}\text{N}$  multiple quantum well structure, For example,  $x=0.14$  and the  $\text{In}_y\text{Ga}_{1-y}\text{N}$  layer thickness as a barrier layer are [  $y=0.02$  and the number of wells of the  $\text{In}_x\text{Ga}_{1-x}\text{N}$  layer thickness as a well layer ] 3 in 7 nm at 3.5 nm.

[0102]The undoped InGaN deterioration prevention layer 9 from the field which is in contact with the active layer 8, It has the gray DIDDO structure in which In presentation carries out monotone decreasing gradually toward the field which is in contact with the p type AlGaN cap layer 9, In presentation in the field which is in contact with the active layer 8 is in agreement with the In presentation y of the  $\text{In}_y\text{Ga}_{1-y}\text{N}$  layer as a barrier layer of the active layer 8, and In presentation in the field which is in contact with the p type AlGaN cap layer 10 has become 0. The thickness of this undoped InGaN deterioration prevention layer 9 is 20 nm.

[0103]As for the p type AlGaN cap layer 10, thickness is 10 nm and magnesium (Mg) is doped as a p type impurity. The Al composition of this p type AlGaN cap layer 10 is 0.2. While preventing that In is desorbed from the active layer 8 at the time of growth of the p type GaN lightguide 11, the p type AlGaN clad layer 12, and the p type GaN contact layer 13, and this p type AlGaN cap layer 10 deteriorates, It is for preventing overflow of the career (electron) from the active layer 8. As for the p type GaN lightguide 11, thickness is 0.1 micrometer and Mg is doped as a p type impurity. Thickness is 0.5 micrometer, Mg is doped as a p type impurity and the Al composition of the p type AlGaN clad layer 12 is 0.08. As for the p type GaN contact layer 13, thickness is 0.1 micrometer and Mg is doped as a p type impurity.

[0104].In. The growing temperature of n type GaN buffer layer 5 which is a layer which is not included, the n type AlGaN clad layer 6, the n type GaN lightguide 7, the p type AlGaN cap layer 10, the p type GaN lightguide 11, the p type AlGaN clad layer 12, and the p type GaN contact layer 13 shall be about 1000 \*\*, Growing temperature of the active layer 8 of the  $\text{Ga}_{1-x}\text{In}_x\text{N}/\text{Ga}_{1-y}\text{In}_y\text{N}$  multiple quantum well structure which is a layer containing In is made into 700-800 \*\*, for example, 730 \*\*. The growing temperature of the undoped InGaN deterioration prevention layer 9 sets it at the growth start time as 730 \*\* as well as the growing temperature of the active layer 8, and is raised after that, for example, linearly, and it is it at the end time of growth, and is made to be 835 \*\* as well as the growing temperature of the p type AlGaN cap layer 10.

[0105]The growth material of these GaN system semiconductor layers is trimethylgallium ( $\text{CH}_3$ ) (it  $_3\text{-Ga(s)}$ ) and) as a raw material of Ga, for example. As a raw material of TMG and aluminum, trimethylindium ( $\text{CH}_3$ ) ( $_3\text{ In}$ , TMI) is used as trimethylaluminum ( $\text{CH}_3$ ) ( $_3\text{aluminum}$ , TMA) and a raw material of In, and  $\text{NH}_3$  is used as a raw material of N. As carrier gas,  $\text{H}_2$  is used, for example. About a dopant, as a n type dopant, for example, a mono silane ( $\text{SiH}_4$ ), As a p type dopant, screw = methylcyclopentadienyl magnesium ( $\text{CH}_3\text{C}_5\text{H}_4$ ) ( $_2\text{Mg}$ ) or screw = magnesium cyclopentadienyl ( $\text{C}_5\text{H}_5$ ) ( $_2\text{Mg}$ ) is used.

[0106]Next, the GaN board 1 into which the GaN system semiconductor layer was grown up as mentioned above is picked out from an MOCVD system. All over the p type GaN contact layer 13, and for example, a CVD method, a vacuum deposition method, By sputtering process etc., for example, after forming a 0.1-micrometer-thick SiO<sub>2</sub> film (not shown), Form the resist pattern (not shown) of the specified shape corresponding to the shape of the ridge part with lithography on this SiO<sub>2</sub> film, and this resist pattern is used as a mask, For example, a SiO<sub>2</sub> film is etched by the RIE method using the etching gas containing fluoride, such as the wet etching using an etching reagent or CF<sub>4</sub> of a fluoric acid system, and CHF<sub>3</sub>, and it is considered as the shape corresponding to a ridge part.

[0107]Next, by etching by the RIE method by using this SiO<sub>2</sub> film as a mask by predetermined Mr. Fukashi of the thickness direction of the p type AlGaIn clad layer 12, as shown in drawing 9, the ridge 14 which extends in the <1-100> direction is formed. The width of this ridge 14 is 3 micrometers. Chlorine system gas is used as etching gas of this RIE.

[0108]Next, after carrying out etching removal of the SiO<sub>2</sub> film used as an etching mask, the insulator layer 15 like a 0.3-micrometer-thick SiO<sub>2</sub> film is formed by CVD method, vacuum deposition method, sputtering process, etc. to an entire substrate. This insulator layer 15 is a thing for electric insulation and a surface protection.

[0109]Next, a wrap resist pattern (not shown) is formed for the surface of the insulator layer 15 of the field except p lateral electrode formation area with lithography. Next, the opening 15a is formed by etching the insulator layer 15 by using this resist pattern as a mask.

[0110]Next, in the state where it has left the resist pattern, after forming for example, Pd film, a Pt film, and Au membrane in an entire substrate one by one with a vacuum deposition method, a resist pattern is removed with Pd film, the Pt film, and Au membrane which were formed on it (lift off). The p lateral electrode 16 which contacted the p type GaN contact layer 13 through the opening 15a of the insulator layer 15 by this is formed. Here, the thickness of Pd film which constitutes this p lateral electrode 16, a Pt film, and Au membrane shall be 10 nm, 100 nm, and 300 nm, respectively, for example. Next, alloy treatment for carrying out ohmic contact of the p lateral electrode 16 is performed.

[0111]Next, a Ti film, a Pt film, and Au membrane are formed in the rear face of the GaN board 1 one by one with a vacuum deposition method, and the n lateral electrode 17 of Ti/Pt/Au structure is formed. Here, the thickness of the Ti film which constitutes this n lateral electrode 17, a Pt film, and Au membrane shall be 10 nm, 50 nm, and 100

nm, respectively, for example. Next, alloy treatment for carrying out ohmic contact of the n lateral electrode 17 is performed.

[0112]Next, as shown in drawing 10, cleavage performs scribing of the GaN board 1 with which laser structure was formed as mentioned above along the border line of the element region 2 (lot surrounded as the thick solid line), it is processed into the laser bar 4, and both resonator edge faces are formed. Next, after performing edge face coating to these resonator edge faces, again, cleavage etc. perform scribing of this laser bar 4, and chip making is carried out.

[0113]In drawing 10, the GaN system semiconductor laser whose gray rectangle is one is expressed, the straight line drawn near [ the ] the center is the laser stripe 3, and this is equivalent to the position of a luminous region. The rectangle drawn with the dashed line with which they stood in a row expresses the laser bar 4, and the long side of this laser bar 4 is equivalent to a resonator edge face.

[0114]In the example shown in drawing 10, the sizes of a GaN system semiconductor laser are 600 micrometers x 346 micrometers, A transverse direction (long side direction) divides a lengthwise direction (short side direction) into the GaN system semiconductor laser of the size by performing SUKURAIBIN of a substrate, respectively along the straight line which does not pass along the field B along the straight line which connects the field B.

[0115]In this case, since the field B will exist only in the end face section of the long side of each GaN system semiconductor laser, it is avoidable that the influence of the field B reaches a luminous region by designing an element so that the laser stripe 3 may be located near the straight line which connects the middle points of a shorter side. Although formed in the end face by performing scribing of a substrate by cleavage etc. along the straight line of the lengthwise direction in drawing 10 about the mirror of a resonator, since the straight line does not pass along the field B, it is not influenced by the rearrangement in the field B. Therefore, a GaN system semiconductor laser good a luminescent characteristic and reliable can be obtained. The GaN system semiconductor laser which has the ridge structure and SCH structure which are made into the purpose by the above as shown in drawing 11 is manufactured.

[0116]As mentioned above, after according to this 1st embodiment the field B where average dislocation density is high removed the upper part of the field B by etching among the GaN boards 1 periodically arranged in the shape of a hexagonal lattice and separates the surface of the field B from the principal surface of the GaN board 1 in the field A where average dislocation density is low, Since the GaN system semiconductor layer which forms laser structure on this GaN board 1 is grown up, the adverse effect of

the field B can be prevented from attaining to the GaN system semiconductor layer used for formation of laser structure. For this reason, a luminescent characteristic is good and reliability can realize a long lasting high GaN system semiconductor laser.

[0117]In addition, since according to this 1st embodiment the undoped InGaN deterioration prevention layer 9 is formed in contact with the active layer 8 and the p type AlGaIn cap layer 10 is formed in contact with this undoped InGaN deterioration prevention layer 9, While being able to ease substantially the stress generated in the active layer 8 by the p type AlGaIn cap layer 10 by the undoped InGaN deterioration prevention layer 9, it can control effectively that Mg used as a p type dopant of a p type layer is spread in the active layer 7.

[0118]Next, a 2nd embodiment of this invention is described. As shown in drawing 12, in this 2nd embodiment, etching removes all of the fields B of the GaN board 1, and that portion is emasculated thoroughly. And as shown in drawing 13, the GaN system semiconductor layer L is grown up by the MOCVD method etc. on this GaN board 1. Since things other than the above are the same as that of a 1st embodiment, explanation is omitted. Also by this 2nd embodiment, the same advantage as a 1st embodiment can be acquired.

[0119]Next, a 3rd embodiment of this invention is described. As shown in drawing 14, in this 3rd embodiment, etching removal of the upper part of the field B of the GaN board 1 is carried out like a 1st embodiment, but dry etching, such as RIE, performs this etching in this case. Then, although growth occurs on the field A using the crystallinity of the field B being worse than the crystallinity of the field A, on the field B, the GaN system semiconductor layer L is grown up by the MOCVD method etc. by the growing condition that growth does not occur. As a result, the GaN system semiconductor layer L can grow only on the principal surface A of the GaN board 1, i.e., a field. Since things other than the above are the same as that of a 1st embodiment, explanation is omitted. Also by this 3rd embodiment, the same advantage as a 1st embodiment can be acquired.

[0120]Next, a 4th embodiment of this invention is described. As shown in drawing 15, in this 4th embodiment, etching removal of the upper part of the field B of the GaN board 1 is carried out like a 1st embodiment. Then, although growth occurs on the field A using the crystallinity of the field B being worse than the crystallinity of the field A, on the field B, transverse direction growth of the GaN system semiconductor layer L is carried out by the growing condition that growth does not occur. As a result, the GaN system semiconductor layer L can carry out transverse direction growth from on the principal surface A of the GaN board 1, i.e., a field, it can meet in the upper part of the field B, and flattening of the surface can be carried out eventually. However, the GaN

system semiconductor layer L is not made to meet, but it is also good not to carry out flattening. Since things other than the above are the same as that of a 1st embodiment, explanation is omitted. Also by this 4th embodiment, the same advantage as a 1st embodiment can be acquired.

[0121]Next, a 5th embodiment of this invention is described. As shown in drawing 16, in this 5th embodiment, the insulator layers 18, such as a SiO<sub>2</sub> film, are formed so that the portion of the field B may be thoroughly covered among the principal surfaces of the GaN board 1. If the field B can be covered thoroughly, this insulator layer 18 may be what kind of shape, for example, according to the shape of the field B, also as circular, It is completely good also as wrap stripe shape in the field B further located in a line with the single tier also as a quadrangle and other polygons including the field B, and the field A of a portion in the meantime. Next, as shown in drawing 17, the GaN system semiconductor layer L is grown up by the MOCVD method etc. on this GaN board 1. In order that the insulator layer 18 may play the role of a grown mask at this time, the GaN system semiconductor layer L grows only on the principal surface of the GaN board 1 in the portion which is not covered with this insulator layer 18. Since things other than the above are the same as that of a 1st embodiment, explanation is omitted. Also by this 5th embodiment, the same advantage as a 1st embodiment can be acquired.

[0122]Next, a 6th embodiment of this invention is described. As shown in drawing 18, in this 6th embodiment, the insulator layers 18, such as a SiO<sub>2</sub> film, are formed like a 5th embodiment so that the portion of the field B may be thoroughly covered among the principal surfaces of the GaN board 1. Next, through the process shown in drawing 18 and drawing 19, on the GaN board 1, the MOCVD method etc. are used and transverse direction growth of the GaN system semiconductor layer L is carried out by ELO. At this time, the GaN system semiconductor layer L which carries out transverse direction growth on the insulator layer 18 meets. However, it is good not to make the GaN system semiconductor layer L meet, and also make it. Since things other than the above are the same as that of a 1st embodiment, explanation is omitted. Also by this 6th embodiment, the same advantage as a 1st embodiment can be acquired.

[0123]Next, a 7th embodiment of this invention is described. As shown in drawing 20, in this 7th embodiment, etching removal of the upper part of the field B of the GaN board 1 is carried out like a 1st embodiment. Next, the insulator layers 18, such as a SiO<sub>2</sub> film, are formed all over the GaN board 1, and the removing part of the field B is buried. Next, as shown in drawing 21, it leaves this insulator layer 18 only to the removing part of the field B by performing etchback of the insulator layer 18 by the RIE



method. Then, the GaN system semiconductor layer L is grown up on the GaN board 1 like a 5th or 6th embodiment. Since things other than the above are the same as that of a 1st embodiment, explanation is omitted. Also by this 7th embodiment, the same advantage as a 1st embodiment can be acquired.

[0124]Next, an 8th embodiment of this invention is described. As shown in drawing 22, in this 8th embodiment, etching removal of the upper part of the field B of the GaN board 1 is carried out like a 1st embodiment. Next, the insulator layers 18, such as a SiO<sub>2</sub> film, are formed all over the GaN board 1. At this time, the thickness of this insulator layer 18 presupposes that it is small to such an extent that the removing part of the field B is not buried thoroughly. Next, the insulator layer 18 on the field A is removed by performing etchback of the insulator layer 18, for example by the RIE method. Then, the GaN system semiconductor layer L is grown up on the GaN board 1 like a 5th or 6th embodiment. Since things other than the above are the same as that of a 1st embodiment, explanation is omitted. Also by this 8th embodiment, the same advantage as a 1st embodiment can be acquired.

[0125]Next, a 9th embodiment of this invention is described. As shown in drawing 23, in this 9th embodiment, etching removal of the upper part of the field B of the GaN board 1 is carried out like a 1st embodiment. Next, after forming the insulator layers 18, such as a SiO<sub>2</sub> film, all over the GaN board 1 and burying the removing part of the field B, this insulator layer 18 is patterned after the same shape as a 5th embodiment by etching. Then, the GaN system semiconductor layer L is grown up on the GaN board 1 like a 5th or 6th embodiment. Since things other than the above are the same as that of a 1st embodiment, explanation is omitted. Also by this 9th embodiment, the same advantage as a 1st embodiment can be acquired.

[0126]Next, a 10th embodiment of this invention is described. As shown in drawing 24, in this 10th embodiment, etching removal of the upper part of the field B of the GaN board 1 is carried out like a 1st embodiment, but in this case, etched depth shall be large enough, for example, shall be about tens of micrometers. Next, as shown in drawing 25, a SiO<sub>2</sub> film etc. form insulator layer 18 all over the GaN board 1. At this time, since the removing part of the field B is deep, with the insulator layer 18, thoroughly, this removing part is not buried but presupposes that a cave is formed in an inside. Next, the insulator layer 18 on the field A is removed by performing etchback of the insulator layer 18, for example by the RIE method. Then, the GaN system semiconductor layer L is grown up on the GaN board 1 like a 5th or 6th embodiment. Since things other than the above are the same as that of a 1st embodiment, explanation is omitted. Also by this 10th embodiment, the same advantage as a 1st embodiment can be acquired.

[0127]Next, an 11th embodiment of this invention is described. As shown in drawing 27, in this 11th embodiment, it is the same as that of a 1st embodiment that the field B has arranged periodically in the shape of a hexagonal lattice in the field A of the GaN board 1, but. It differs from a 1st embodiment that the field C of the interim average dislocation density of the average dislocation density of the field A and the average dislocation density of the field B is formed as a transition region between the field A and the field B. The average dislocation density of the field A specifically Below  $2 \times 10^6 \text{ cm}^{-2}$ . The average dislocation density of the field B of the average dislocation density of the field C is lower than  $1 \times 10^8 \text{ cm}^{-2}$ , and is [ more than  $1 \times 10^8 \text{ cm}^{-2}$  ] larger than  $2 \times 10^6 \text{ cm}^{-2}$ , for example (1-2) is a  $1 \times 10^7 \text{ cm}^{-2}$  grade. The array cycle (interval of the centers of the field B of the maximum contiguity) of the field B is 300 micrometers, and the diameter is 20 micrometers. The diameter of the field C is 120 micrometers.

[0128]In this 11th embodiment, etching removes the upper part of both the field B of the GaN board 1, and the field C to etching having removed the upper part of the field B of the GaN board 1 in a 1st embodiment. Since things other than the above are the same as that of a 1st embodiment, explanation is omitted. Also by this 11th embodiment, the same advantage as a 1st embodiment can be acquired.

[0129]Next, a 12th embodiment of this invention is described. In this 12th embodiment, etching removes all of both the field B of the GaN board 1, and the field C to etching having removed all of the fields B of the GaN board 1 in a 2nd embodiment. Since things other than the above are the same as that of 1st and 11th embodiments, explanation is omitted. Also by this 12th embodiment, the same advantage as a 1st embodiment can be acquired.

[0130]Next, a 13th embodiment of this invention is described. In this 13th embodiment, etching removes the upper part of both the field B of the GaN board 1, and the field C to etching having removed the upper part of the field B of the GaN board 1 in a 3rd embodiment. Since things other than the above are the same as that of 1st and 11th embodiments, explanation is omitted. Also by this 13th embodiment, the same advantage as a 1st embodiment can be acquired.

[0131]Next, a 14th embodiment of this invention is described. In this 14th embodiment, etching removes the upper part of both the field B of the GaN board 1, and the field C to etching having removed the upper part of the field B of the GaN board 1 in a 4th embodiment. Since things other than the above are the same as that of 1st and 11th embodiments, explanation is omitted. Also by this 14th embodiment, the same advantage as a 1st embodiment can be acquired.

[0132]Next, a 15th embodiment of this invention is described. It is a wrap by the

insulator layer 18 in both the field B of the GaN board 1, and the field C to having covered the field B of the GaN board 1 with the insulator layer 18 in a 5th embodiment in this 15th embodiment. Since things other than the above are the same as that of 1st, 5th, and 11th embodiments, explanation is omitted. Also by this 15th embodiment, the same advantage as a 1st embodiment can be acquired.

[0133]Next, a 16th embodiment of this invention is described. It is a wrap by the insulator layer 18 in both the field B of the GaN board 1, and the field C to having covered the field B of the GaN board 1 with the insulator layer 18 in a 6th embodiment in this 16th embodiment. Since things other than the above are the same as that of 1st, 5th, and 11th embodiments, explanation is omitted. Also by this 16th embodiment, the same advantage as a 1st embodiment can be acquired.

[0134]Next, a 17th embodiment of this invention is described. In this 17th embodiment, etching removes the upper part of both the field B of the GaN board 1, and the field C to etching having removed the upper part of the field B of the GaN board 1 in a 7th embodiment. Since things other than the above are the same as that of 1st, 5th, and 11th embodiments, explanation is omitted. Also by this 17th embodiment, the same advantage as a 1st embodiment can be acquired.

[0135]Next, an 18th embodiment of this invention is described. In this 18th embodiment, etching removes the upper part of both the field B of the GaN board 1, and the field C to etching having removed the upper part of the field B of the GaN board 1 in an 8th embodiment. Since things other than the above are the same as that of 1st, 5th, and 11th embodiments, explanation is omitted. Also by this 18th embodiment, the same advantage as a 1st embodiment can be acquired.

[0136]Next, a 19th embodiment of this invention is described. In this 19th embodiment, etching removes the upper part of both the field B of the GaN board 1, and the field C to etching having removed the upper part of the field B of the GaN board 1 in a 9th embodiment. Since things other than the above are the same as that of 1st, 5th, and 11th embodiments, explanation is omitted. Also by this 19th embodiment, the same advantage as a 1st embodiment can be acquired.

[0137]Next, a 20th embodiment of this invention is described. In this 20th embodiment, etching removes the upper part of both the field B of the GaN board 1, and the field C to etching having removed the upper part of the field B of the GaN board 1 in a 10th embodiment. Since things other than the above are the same as that of 1st, 5th, and 11th embodiments, explanation is omitted. Also by this 20th embodiment, the same advantage as a 1st embodiment can be acquired.

[0138]Next, a 21st embodiment of this invention is described. As shown in drawing 28,

unlike a 1st embodiment, in this 21st embodiment, the border line of the rectangular element region 2 consists of a straight line which connects the centers of the field B also to that long side and shorter side. Also in this case, the position of the laser stripe 3 is carried out the line top which connects the middle points of the shorter side of the element region 2. By carrying out like this, it is avoidable that the influence of the field B reaches a luminous region.

[0139]In this 21st embodiment, that the mirror of a resonator is formed differs from a 1st embodiment by performing scribing by cleavage along the border line of the element region 2 which consists of a straight line which connects the centers of the field B. Here, since the field B has many rearrangements, it is thought that it is easier to break than the field A. Therefore, if scribing is performed along the straight line which connects field B, so to speak, as for the portion of the field A, cleavage of the field B will be finely carried out sure enough in a role like perforations. Under the present circumstances, since the end face of the portion of the field B has many rearrangements, it does not necessarily become flat, but the end face of the portion of the field A in the meantime becomes flat.

[0140]Although it is an end face section of the laser stripe 3 that surface smoothness is needed, if it is arrangement as shown in drawing 28, the end face of the portion of the field B does not have \*\*\*\*\* in a luminescent characteristic etc. in an adverse effect. Since things other than the above are the same as that of a 1st embodiment, explanation is omitted. Also by this 21st embodiment, the same advantage as a 1st embodiment can be acquired.

[0141]Next, a 22nd embodiment of this invention is described. Drawing 29 is a top view showing the GaN board used in this 22nd embodiment. As shown in drawing 29, in this 22nd embodiment, the element region 2 is demarcated so that the field B may not be included in the laser stripe 3. Here, the laser stripe 3 has separated not less than 50 micrometers from the field B. In this case, the two fields B will be included in the element region 2. Since things other than the above are the same as that of a 1st embodiment, explanation is omitted. According to this 22nd embodiment, the same advantage as a 1st embodiment can be acquired.

[0142]Next, a 23rd embodiment of this invention is described. Drawing 30 is a top view showing the GaN board used in this 23rd embodiment. This GaN board 1 is C plane direction in a n type. However, the GaN board 1 may be a thing of R side, A side, or M plane direction. The field B which consists of a crystal with high average dislocation density in this GaN board 1 into the field A which consists of a crystal with low average dislocation density arranges periodically for example, at intervals of 400 micrometers in

the  $\langle 11\text{-}20 \rangle$  direction of GaN, **\*\*11-20\*\*** It has arranged periodically at intervals of 20 - 100 micrometers in the  $\langle 1\text{-}100 \rangle$  direction which intersects perpendicularly with a direction. However, the  $\langle 11\text{-}20 \rangle$  direction and the  $\langle 1\text{-}100 \rangle$  direction may be replaced.

[0143]In this 23rd embodiment, as shown in drawing 31, the end face of a couple parallel to the laser stripe 3 passes along the sequence of the field B of the  $\langle 1\text{-}100 \rangle$  direction, and the element region 2 is demarcated so that the laser stripe 3 may be located near the center of the field between the sequences of this field B. In this case, the sequence of the field B is not included substantially in the element region 2. Since things other than the above are the same as that of a 1st embodiment, explanation is omitted. According to this 23rd embodiment, the same advantage as a 1st embodiment can be acquired.

[0144]Next, a 24th embodiment of this invention is described. As shown in drawing 32, in this 24th embodiment, use the same GaN board 1 as a 23rd embodiment, but. It differs from a 23rd embodiment in that the one end face parallel to the laser stripe 3 passes along the sequence of the field B of the  $\langle 1\text{-}100 \rangle$  direction, and it passes along the position in which the end face of another side separated from the sequence of this field B. In this case, the sequence of the field B is not included substantially in the element region 2. Since things other than the above are the same as that of 23rd and 1st embodiments, explanation is omitted. According to this 24th embodiment, the same advantage as a 1st embodiment can be acquired.

[0145]Next, a 25th embodiment of this invention is described. As shown in drawing 33, in this 25th embodiment, use the same GaN board 1 as a 23rd embodiment, but. It differs from a 23rd embodiment in that the element region 2 is demarcated so that the end face of a couple parallel to the laser stripe 3 may be located between the sequences of the field B of the  $\langle 1\text{-}100 \rangle$  direction as for all and the laser stripe 3 may be located near the center of the field between the sequences of this field B. In this case, the sequence of the field B is not included substantially in the element region 2. Since things other than the above are the same as that of 23rd and 1st embodiments, explanation is omitted. According to this 25th embodiment, the same advantage as a 1st embodiment can be acquired.

[0146]Next, a 26th embodiment of this invention is described. As shown in drawing 34, in this 26th embodiment, use the same GaN board 1 as a 23rd embodiment, but. The one end face parallel to the laser stripe 3 passes along the sequence of the field B of the  $\langle 1\text{-}100 \rangle$  direction, It differs from a 23rd embodiment in that it passes along the position in which it was located between the sequence and the sequence of the next field B of the field B where the end face of another side adjoins the sequence of this field B

immediately, and the laser stripe 3 separated not less than 50 micrometers from the sequence of the field B. In this case, the sequence of the field B is included one in the element region 2. Since things other than the above are the same as that of 23rd and 1st embodiments, explanation is omitted. According to this 26th embodiment, the same advantage as a 1st embodiment can be acquired.

[0147]Next, a 27th embodiment of this invention is described. As shown in drawing 35, in this 27th embodiment, use the same GaN board 1 as a 23rd embodiment, but. The one end face parallel to the laser stripe 3 passes along the position which is separated from the sequence of the field B of the  $\langle 1-100 \rangle$  direction, It differs from a 23rd embodiment in that it passes along the position in which it was located between the sequence and the sequence of the next field B of the field B where the end face of another side adjoins the sequence of this field B immediately, and the laser stripe 3 separated not less than 50 micrometers from the sequence of the field B. In this case, the sequence of the field B is included one in the element region 2. Since things other than the above are the same as that of 23rd and 1st embodiments, explanation is omitted. According to this 27th embodiment, the same advantage as a 1st embodiment can be acquired.

[0148]Next, a 28th embodiment of this invention is described. Drawing 36 is a top view showing the GaN board 1 used in this 28th embodiment. The field B of this GaN board 1 is the same as that of the GaN board 1 used in a 10th embodiment except for having arranged periodically at intervals of 200 micrometers in the  $\langle 11-20 \rangle$  direction of GaN. In this case, the sequence of the field B is included two in the element region 2.

[0149]As shown in drawing 36, in this 28th embodiment, it is located near the center of the field between the sequences of the field B where the laser stripe 3 adjoins, and the end face of a couple parallel to the laser stripe 3 is located near [ those ] the center which are a field between the sequences of the outside field B immediately as the sequence of these fields B. Since things other than the above are the same as that of 23rd and 1st embodiments, explanation is omitted. According to this 28th embodiment, the same advantage as a 1st embodiment can be acquired.

[0150]Next, a 29th embodiment of this invention is described. Drawing 37 is a top view showing the GaN board used in this 29th embodiment. This GaN board 1 is C plane direction in a n type. However, the GaN board 1 may be a thing of R side, A side, or M plane direction. In this GaN board 1, it consisted of a crystal with high average dislocation density into the field A which consists of a crystal with low average dislocation density, and has arranged periodically for example, at intervals of 400 micrometers in the  $\langle 11-20 \rangle$  direction which intersects perpendicularly with the direction of  $\langle \text{the field B} \langle 1-100 \text{ which extends in the direction of } 1-100 \rangle \text{ at a line} \rangle$  of

GaN. However, the  $\langle 1-100 \rangle$  direction and the  $\langle 11-20 \rangle$  direction may be replaced.

[0151]In this 29th embodiment, as shown in drawing 38, the end face of a couple parallel to the laser stripe 3 passes along the field B, and the element region 2 is demarcated so that the laser stripe 3 may be located near the center of the field between this field B. In this case, the sequence of the field B is not included substantially in the element region 2. Since things other than the above are the same as that of a 1st embodiment, explanation is omitted. According to this 29th embodiment, the same advantage as a 1st embodiment can be acquired.

[0152]Next, a 30th embodiment of this invention is described. As shown in drawing 39, in this 30th embodiment, the same GaN board 1 as a 29th embodiment is used, but it is a point which the one end face parallel to the laser stripe 3 passes along the field B, and passes along the position in which the end face of another side separated from the sequence of this field B, and differs from a 29th embodiment. In this case, the sequence of the field B is not included substantially in the element region 2. Since things other than the above are the same as that of 29th and 1st embodiments, explanation is omitted. According to this 30th embodiment, the same advantage as a 1st embodiment can be acquired.

[0153]Next, a 31st embodiment of this invention is described. As shown in drawing 40, in this 31st embodiment, use the same GaN board 1 as a 29th embodiment, but. It differs from a 29th embodiment in that the element region 2 is demarcated so that each end face of a couple parallel to the laser stripe 3 may be located between the fields B and the laser stripe 3 may be located near the center of the field between this field B. In this case, the sequence of the field B is not included substantially in the element region 2. Since things other than the above are the same as that of 29th and 1st embodiments, explanation is omitted. According to this 31st embodiment, the same advantage as a 1st embodiment can be acquired.

[0154]Next, a 32nd embodiment of this invention is described. As shown in drawing 41, in this 32nd embodiment, use the same GaN board 1 as a 29th embodiment, but. It differs from a 29th embodiment in that it passes along the position in which the one end face parallel to the laser stripe 3 passed along the field B, and it was located between the field B where the end face of another side adjoins the sequence of this field B immediately, and its next field B, and the laser stripe 3 separated not less than 50 micrometers from the field B. In this case, the one field B is included in the element region 2. Since things other than the above are the same as that of 29th and 1st embodiments, explanation is omitted. According to this 32nd embodiment, the same advantage as a 1st embodiment can be acquired.

[0155]Next, a 33rd embodiment of this invention is described. As shown in drawing 42, in this 33rd embodiment, use the same GaN board 1 as a 29th embodiment, but. It differs from a 29th embodiment in that it passes along the position in which the one end face parallel to the laser stripe 3 passed along the position which is distant from the field B, and the end face of another side was located between the field B which adjoins this field B immediately, and its next field B, and the laser stripe 3 separated not less than 50 micrometers from the field B. In this case, the sequence of the field B is included one in the element region 2. Since things other than the above are the same as that of 29th and 1st embodiments, explanation is omitted. According to this 33rd embodiment, the same advantage as a 1st embodiment can be acquired.

[0156]Next, a 34th embodiment of this invention is described. Drawing 43 is a top view showing the GaN board 1 used in this 34th embodiment. The field B of this GaN board 1 is the same as that of the GaN board 1 used in a 29th embodiment except for having arranged periodically at intervals of 200 micrometers in the  $\langle 11\text{-}20 \rangle$  direction of GaN. In this case, the sequence of the field B is included two in the element region 2.

[0157]As shown in drawing 43, in this 34th embodiment, it is located near the center of the field between the fields B where the laser stripe 3 adjoins, and the end face of a couple parallel to the laser stripe 3 is located near [ those ] the center which are a field between the outside fields B immediately as these fields B. Since things other than the above are the same as that of 29th and 1st embodiments, explanation is omitted. According to this 34th embodiment, the same advantage as a 1st embodiment can be acquired.

[0158]As mentioned above, although the embodiment of this invention was described concretely, this invention is not limited to an above-mentioned embodiment, and various kinds of modification based on the technical idea of this invention is possible for it.

[0159]For example, a numerical value, structure, a substrate, a raw material, a process, etc. quoted in the above-mentioned embodiment are only an example to the last, and may use a numerical value, structure, a substrate, a raw material, a process, etc. of differing from these, if needed.

[0160]Although the case where this invention was applied to manufacture of the GaN system semiconductor laser of SCH structure was explained in the above-mentioned embodiment concrete for example, That this invention may be applied to manufacture of the GaN system semiconductor laser of DH (Double Heterostructure) structure, for example, of course, It may apply to manufacture of a GaN system light emitting diode, and may apply to the electronic run element using nitride system groups III-V



semiconductor, such as GaN system FET and a GaN system heterojunction bipolar transistor (HBT), further.

[0161]In an above-mentioned embodiment, the GaN board 1 may be formed on different-species boards, such as silicon on sapphire.

[0162]In an above-mentioned embodiment, although the MOCVD method is used for growth of a GaN system semiconductor layer, Other growing methods, such as hydride vapor phase epitaxial growth or halide vapor phase epitaxial growth (HVPE), and a molecular beam epitaxy (MBE) method, may be used for growth of a GaN system semiconductor layer.

[0163]In an above-mentioned embodiment, although H<sub>2</sub> gas is used as carrier gas at the time of growing up by the MOCVD method, mixed gas with other carrier gas, for example, H<sub>2</sub>, N<sub>2</sub> or helium, Ar gas, etc. may be used if needed. In an above-mentioned embodiment, although the resonator edge face is formed by cleavage, a resonator edge face may be formed by dry etching like RIE.

[0164]

[Effect of the Invention]The nitride system group-III-V-semiconductor layer which forms light emitting element structure or element structure according to this invention as explained above, Or a semiconductor layer or the layer which consists of various kinds of materials on the principal surface of a nitride system group-III-V-semiconductor board, a semiconductor substrate, or a substrate, Since crystallinity is kept from carrying out direct contact to the 2nd bad field highly [ average defect density ] more highly [ average dislocation density ] than the 1st field, The adverse effect by the 2nd field can be prevented from attaining to the nitride system group-III-V-semiconductor layer which forms light emitting element structure or element structure, a semiconductor layer, or the layer which consists of various kinds of materials. For this reason, various kinds of long lasting elements a reliable long lasting semiconductor light emitting element or characteristic is good, good [ the characteristics such as a luminescent characteristic, are good, and ] a reliable long lasting semiconductor device or characteristic and reliable are realizable.

---

## DESCRIPTION OF DRAWINGS

---

[Brief Description of the Drawings]

[Drawing 1] It is the perspective view and sectional view showing the GaN board used in a 1st embodiment of this invention.

[Drawing 2] It is a top view showing the GaN board used in a 1st embodiment of this invention.

[Drawing 3] It is an approximate line figure showing an example of distribution of dislocation density [ / near the field B of the GaN board used in a 1st embodiment of this invention ].

[Drawing 4] It is a sectional view for explaining a comparative example with a 1st embodiment of this invention.

[Drawing 5] It is a sectional view for explaining a comparative example with a 1st embodiment of this invention.

[Drawing 6] It is a sectional view showing the GaN board used in a 1st embodiment of this invention.

[Drawing 7] It is a sectional view showing the state where the GaN system semiconductor layer was grown up on the GaN board in a 1st embodiment of this invention.

[Drawing 8] It is a sectional view for explaining the manufacturing method of the GaN system semiconductor laser by a 1st embodiment of this invention.

[Drawing 9] It is a sectional view for explaining the manufacturing method of the GaN system semiconductor laser by a 1st embodiment of this invention.

[Drawing 10] It is a top view for explaining the manufacturing method of the GaN system semiconductor laser by a 1st embodiment of this invention.

[Drawing 11] It is a sectional view for explaining the manufacturing method of the GaN system semiconductor laser by a 1st embodiment of this invention.

[Drawing 12] It is a sectional view showing the GaN board used in a 2nd embodiment of this invention.

[Drawing 13]It is a sectional view showing the state where the GaN system semiconductor layer was grown up on the GaN board in a 2nd embodiment of this invention.

[Drawing 14]It is a sectional view showing the state where the GaN system semiconductor layer was grown up on the GaN board in a 3rd embodiment of this invention.

[Drawing 15]It is a sectional view showing the state where the GaN system semiconductor layer was grown up on the GaN board in a 4th embodiment of this invention.

[Drawing 16]It is a sectional view showing the GaN board used in a 5th embodiment of this invention.

[Drawing 17]It is a sectional view showing the state where the GaN system semiconductor layer was grown up on the GaN board in a 5th embodiment of this invention.

[Drawing 18]It is a sectional view showing the state where the GaN system semiconductor layer was grown up on the GaN board in a 6th embodiment of this invention.

[Drawing 19]It is a sectional view showing the state where the GaN system semiconductor layer was grown up on the GaN board in a 6th embodiment of this invention.

[Drawing 20]It is a sectional view for explaining the manufacturing method of the GaN board used in a 7th embodiment of this invention.

[Drawing 21]It is a sectional view for explaining the manufacturing method of the GaN board used in a 7th embodiment of this invention.

[Drawing 22]It is a sectional view showing the GaN board used in an 8th embodiment of this invention.

[Drawing 23]It is a sectional view showing the GaN board used in a 9th embodiment of this invention.

[Drawing 24]It is a sectional view for explaining the manufacturing method of the GaN board used in a 10th embodiment of this invention.

[Drawing 25]It is a sectional view for explaining the manufacturing method of the GaN board used in a 10th embodiment of this invention.

[Drawing 26]It is a sectional view for explaining the manufacturing method of the GaN board used in a 10th embodiment of this invention.

[Drawing 27]It is a top view showing the GaN board used in an 11th embodiment of this invention.

[Drawing 28]It is a top view for explaining the manufacturing method of the GaN system semiconductor laser by a 21st embodiment of this invention.

[Drawing 29]It is a top view for explaining the manufacturing method of the GaN system semiconductor laser by a 22nd embodiment of this invention.

[Drawing 30]It is a top view for explaining the manufacturing method of the GaN system semiconductor laser by a 23rd embodiment of this invention.

[Drawing 31]It is a top view for explaining the manufacturing method of the GaN system semiconductor laser by a 23rd embodiment of this invention.

[Drawing 32]It is a top view for explaining the manufacturing method of the GaN system semiconductor laser by a 24th embodiment of this invention.

[Drawing 33]It is a top view for explaining the manufacturing method of the GaN system semiconductor laser by a 25th embodiment of this invention.

[Drawing 34]It is a top view for explaining the manufacturing method of the GaN system semiconductor laser by a 26th embodiment of this invention.

[Drawing 35]It is a top view for explaining the manufacturing method of the GaN system semiconductor laser by a 27th embodiment of this invention.

[Drawing 36]It is a top view for explaining the manufacturing method of the GaN system semiconductor laser by a 28th embodiment of this invention.

[Drawing 37]It is a top view for explaining the manufacturing method of the GaN system semiconductor laser by a 29th embodiment of this invention.

[Drawing 38]It is a top view for explaining the manufacturing method of the GaN system semiconductor laser by a 29th embodiment of this invention.

[Drawing 39]It is a top view for explaining the manufacturing method of the GaN system semiconductor laser by a 30th embodiment of this invention.

[Drawing 40]It is a top view for explaining the manufacturing method of the GaN system semiconductor laser by a 31st embodiment of this invention.

[Drawing 41]It is a top view for explaining the manufacturing method of the GaN system semiconductor laser by a 32nd embodiment of this invention.

[Drawing 42]It is a top view for explaining the manufacturing method of the GaN system semiconductor laser by a 33rd embodiment of this invention.

[Drawing 43]It is a top view for explaining the manufacturing method of the GaN system semiconductor laser by a 34th embodiment of this invention.

[Description of Notations]

1 ... A GaN board, 2 ... An element region, 3 ... Laser stripe, 5 ... A n type GaN buffer layer, 6 ... N type AlGaIn clad layer, 7 ... A n type GaN lightguide, 8 ... An active layer, 9 ... Undoped InGaIn deterioration prevention layer, 10 [ ... A p type GaN contact layer,

14 / ... A ridge, 15 18 / ... An insulator layer, 16 / ... n lateral electrode, 17 / ... p lateral electrode ] ... A p type AlGaIn cap layer, 11 ... A p type GaN lightguide, 12 ... A p type AlGaIn clad layer, 13